

**ФЕДЕРАЛЬНОЕ АГЕНТСТВО СВЯЗИ**  
**Государственное образовательное учреждение**  
**высшего профессионального образования**  
**Московский технический университет связи и информатики**  
Кафедра математической кибернетики и ИТ

**Методические указания**  
и задания на курсовую работу  
по курсу

**ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА**  
**И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ**

для студентов-заочников 3 курса  
(специальность: 210402, 210404, 210405, 210406)

Члены жюри: А.П. Григорьев

Москва 2011

ОБЩИЕ ЗАМЕЧАНИЯ

**Курс "ВТ и И"** имеет целью базовую подготовку студентов специальности "Системы и средства связи" на уровне, достаточного для успешного освоения перспективного цифрового оборудования подотраслей связи, имеющего в своем составе микропроцессорные системы (МПС), микроЭВМ. Важно, что средства ВТ делают возможными ИТ. Курс ВТ и ИТ базируется на дисциплинах, дающих знания по теории электрических цепей, электронным приборам и микроэлектронике, основам алгоритмизации и программирования. Изучение курса ВТ предполагает самостоятельный проработку рекомендованной литературы, список которой приведен в конце работы, слушание лекций и выполнение цикла лабораторных работ, а также курсовой работы. Наставление методических указаний помогут сориентироваться в учебном материале курса, установить логические связи между отдельными его разделами, проверить свои знания, выполнить курсовую работу. Для более полного охвата вопросов курса приведен список дополнительной литературы.

План УМД на 2011/2012 уч.г.

## **Методические указания и задания на курсовую работу**

# ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ

Составитель Г.И.Скворцов

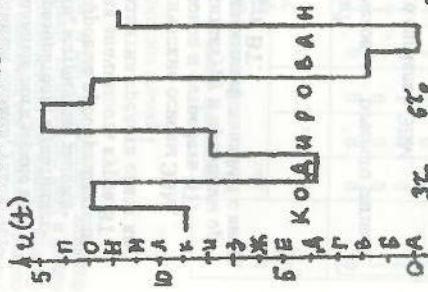
Часть 1. Вычислительная техника (ВТ).  
**МЕТОДИЧЕСКИЕ УКАЗАНИЯ К МАТЕРИАЛУ 1-Й ЧАСТИ КУРСА.**

## I. ВВЕДЕНИИ Вопросы, подлежащие

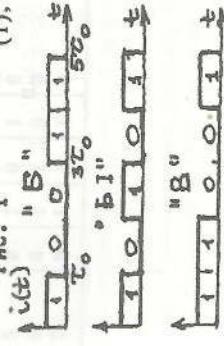
### Вопросы, подлежащие изучению

- 1.1. Понятие о дискретных сообщениях. Цифровые сигналы и устройства.
  - 1.2. Различные системы счисления и их применение для кодирования (представления) информации в цифровых устройствах (ЦУ).
  - 1.3. Интегральные схемы – элементная база средств ВТ. Роль ВТ в развитии средств связи.
  - 1.4. Цели и задачи курса, его содержание.

1.1.Основная задача любой системы связи заключается в передаче сообщения от источника к получателю. Отличительной особенностью дискретного сообщения (DC) является то, что оно может состоять из конечного набора составных элементов, символов, знаков (например, 32 буквы русского алфавита и / или 26 букв латинского, и / или 10 арабских цифр и т.д.). Для передачи по каналам связи DC должно быть взаимно-однозначным образом связано с каким-либо параметром электрического сигнала (например, с уровнем сигнала - см. рис. 1). По ряду практических соображений для передачи DC чаще всего используются двухуровневые (двоячные) сигналы. На рис. 2 показано, каким образом с помощью пяти следующих друг за другом токовых (1) и бестоковых (0) состояний складывается каждая длительностью  $T_0$  по одной линии связи с использованием кода МТК-2 осуществляетя телеграфная передача букв текстового сообщения: при этом сигнал одного уровня можно считать единичным (1), другого - нульевым (0). При возможности одновременной (параллельной) передачи каждой посылки кола по своей линии связи одна буква передается за один "такт"  $T=t_0$ .



Disc



卷之三

Издание стереотипное. Утверждено на заседании кафедры.

Рецензент Л.А.Летник. Исполнитель

Элементарная двоичная посылка минимальной длительности (и передаваемое ею количество информации) называется битом; последовательность нескольких бит, обеспечивающая передачу одного символа ДС, называется машинным словом. Слово, состоящее из 8бит, называется байтом. Устройство, на входах и выходах которого циркулируют цифровые сигналы  $x(t)$  и  $y(t)$  (рис.3), называется цифровым (ЦУ).

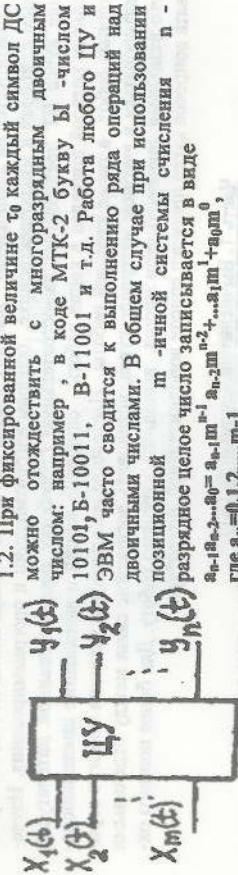


Рис. 3

В вычислительной технике чаще всего используются системы счисления с основанием  $n = 2, 8$  и  $16$ . Необходимо хорошо освоить правила быстрого перевода десетничных чисел (целых, дробных, смешанных) в двоичные, восьмеричные, шестнадцатеричные и обратно.

1.3. Элементарный базу средств ВТ составляет целый ряд ЦУ в интегральном исполнении, которые используются в качестве готовых функциональных блоков, узлов, устройств и модулей различных ЭБМ. К ним относятся интегральные логические элементы (ИЛЭ), дешифраторы, шифраторы и другие колодреобразователи, мультиплексоры и демультиплексоры, компрессоры, суператоры, счетчики, матричные запоминающие устройства (АЗУ), генераторы импульсов, аналогово-цифровые преобразователи (АЦП), микропроцессоры (МП) и др. (см. гл. 2-10). Высокая значимость куска ВТ для связи обусловлена тем, что основной тенденцией развития средств связи является их интеграция (слияние) со средствами ВТ.

1.4. В курсе ВТ предстоит изучить арифметические и логические основы ЭВМ, принципы построения и функционирования типовых узлов, блоков и устройств ВТ, структуру, функционирование и программирование МП, архитектуру и принципы организации МПС и микроЭВМ, а также вопросы координации взаимодействия МП с внешними устройствами, уровень и перспективы развития средств ВТ.

#### Вопросы и упражнения для самоконтроля

1. Какова роль средств ВТ для решения актуальных задач связи?
2. Образуется ли цифровой сигнал последовательностью отсчетов речевого сигнала, взятых через одинаковые интервалы времени?
3. Докажите возможность двоичного цифрового ввода речевого сигнала в ЭВМ.

4. Переведите десятичное число 379,24<sub>10</sub> в двоичную и шестнадцатичную системы счисления, а полученные результаты - в восемьричную.
5. Приведите примеры применения МП и микроЭВМ в аппаратуре связи, при автоматизации технологических процессов на предприятиях связи.

## 2.ЛОГИЧЕСКИЕ ОСНОВЫ ЭВМ

Вопросы, подлежащие изучению

1. При фиксированной величине то каждого символа ДС можно отождествить с многогразрядным двоичным числом: например, в коде МТК-2 букву Ы -числом 10101, Б-10011, В-11001 и т.д. Работа любого ЦУ и ЭВМ часто сводится к выполнению ряда операций над двоичными числами. В общем случае при использовании позиционной разрядное целое число записывается в виде  $a_{n-1}a_{n-2}...a_0=a_1\cdot10^{n-1}+a_2\cdot10^{n-2}+...+a_{n-2}\cdot10^1+a_n\cdot10^0$ , где  $a_k=0,1,2,...,9$ ,  $k=0,1,...,n-1$ .
- 2.1. Комбинационные и последовательностные ЦУ.
- 2.2. Булевы функции (БФ) и булевы алгебра.
- 2.3. Методика синтеза комбинационных ЦУ.
- 2.4. Наиболее распространенные БФ.
- 2.5. Понятие о базовом логическом элементе (ЛЭ).
- 2.6. Задержки и "состязания" сигналов в ЦУ, быстродействие ЦУ.

Таблица 1  
Пример составления таблицы истинности

№ п.п. <i>N</i>	Значения входных переменных			Значения № функции п.п. <i>N</i>	Значения № функции п.п. <i>N</i>			Значения функции <i>y</i>
	$x_1$	$x_2$	$x_3$		$x_4$	$x_5$	$x_6$	
0	0	0	0	0	1	0	0	0
1	0	0	0	1	1	0	0	1
2	0	0	1	0	1	0	1	0
3	0	0	1	1	1	0	1	1
4	0	1	0	0	1	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	0
7	0	1	1	1	0	1	1	1

Изображение для выполнения практической работы № 1. В соответствии с заданием № 1, в табличной форме определите значения выходных сигналов в зависимости от значений входных сигналов. Контрольные вопросы: 1. Чем отличается логическая функция от алгебраической? 2. Что такое логическое выражение? 3. Чем отличаются логические функции от аналитических? 4. Чем отличаются логические функции от элементарных?

Таблица 2

Определение элементных ЕО

Соответствие элементарных ДФ					
$x_2$	$x_1$	$y = x_2$	$y = \bar{x}_2$	$y = x_1 \wedge x_2$	$y = x_1 \vee x_2$
0	0	0	1	0	0
0	1	-	-	0	1
1	0	1	0	1	1
1	1	-	-	1	1
Условные обозначения		$\top$	$\perp$	$\wedge$	$\vee$

Базовыми функциями (операциями) двух и более переменных являются

операции "композиции" (логическое умножение,  $\mathbf{u} \cdot \mathbf{v} = \mathbf{u}_1 \cdot \mathbf{v}_1 + \mathbf{u}_2 \cdot \mathbf{v}_2$ , "дизъюнкция" (логическое сложение,  $\mathbf{u} \sqcup \mathbf{v} = \mathbf{u}_1 \vee \mathbf{v}_1 + \mathbf{u}_2 \vee \mathbf{v}_2$ ).

штирих Шеффера (И-НЕ)  $y = x_1 \downarrow x_2 = x_1 \wedge \neg x_2 = \neg x_1 \vee \neg x_2$ ,  
стрелка Пирса (ИДН-НЕ)  $y = x_1 \downarrow \neg x_2 = x_1 \vee \neg x_2 = x_1 + x_2$ .

Строгое определение перенесенных БФ с помощью таблиц истинности дано в табл. 2, где приведены такие условные обозначения для БС, вычислиющих указанные операции. Всякое не избыточное функционально полное соколовность базисных операций позволяет выразить через них любую БФ  $\Phi(x_1, \dots, x_n)$  и называемую базисом. Доказано, что базис выразимости склоняется соколовностью операций: 1) И, ИГ; 2) ИЛИ, ИНЕ; 3) И-НЕ; 4) ИЛИ-НЕ и некоторые другие. В силу большой генерализации в части элеменов И-НЕ и ИЛИ-НЕ выполнимость широкого в микросхемотехнике применимости базиса И-НЕ и ИЛИ-НЕ. При выполнимости операций на базисе И-НЕ и ИЛИ-НЕ. При выполнимости операций на базисе И-НЕ и ИЛИ-НЕ.

$X \vee 1 = 1$ ;  $X \vee 0 = X$ ;  $X \wedge 1 = 1$ ;  $X \wedge 0 = 0$ ;  $X \vee X = X$ ;  $X \wedge X = X$ ;  $\neg(\neg X) = X$ ;  $X \wedge \bar{X} = 0$ ;  $X \vee \bar{X} = 1$ . Для упрощения минимизации БФ при равносильных преобразованиях БФ используются и другие законы булевой алгебры (доказываются составлением таблиц истинности или

1) закон двойного отрицания  $\neg\neg x = x$ ;

2) закон инверсии (де Моргана)  $\overline{x_1 \vee x_2} = \overline{x_1} \wedge \overline{x_2}$ ,  $\overline{x_1 \wedge x_2} = \overline{x_1} \vee \overline{x_2}$ ;  
 3) операция дополнения  $\overline{x} \vee (\overline{x} \wedge y) = y$ .

<sup>1</sup> See also the discussion of the relationship between the two in the section on "The Logic of the Law."

Операции сложения  $x_1 \cdot x_2$ ,  $x_1 \vee x_2$ ,  $x_1 \wedge x_2$  и  $\neg x_1$ .

Производится переход от учебного задания БФ, полученного в виде совершенской проприонетатной нормальной формы (СДНФ) и минимализации полученной СДНФ, а затем реализация минимальной ДНФ (МДНФ) в заданном базисе, методами синтеза поисковых на примере разработки схемы для БФ трех переменных  $f(x_1, x_2, x_3)$  заданный табл. 3 и имеющей две наборы (подчеркнуты в таблице) с номерами 0, 1, 3, 5 и 7. Для такой БФ СДНФ имеет вид:

$$f = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \vee x_1 \cdot \overline{x_2} \cdot \overline{x_3} \vee x_1 \cdot x_2 \cdot \overline{x_3} \vee x_1 \cdot x_2 \cdot x_3.$$

Следующий член СДНФ соответствует одному из единичных наборов табл. 3 и должен на этом наборе превращаться в 1, что достигается расстановкой инверсии над входными переменными, принимающими в данном наборе нулевые значения.

Таблица истинности

Таблица истинности

N	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	Y	N	X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	Y
0	0	0	0	1	4	1	0	0	0
1	0	0	1	1	5	1	0	1	1
2	0	1	0	0	6	1	1	0	0
3	0	1	1	1	7	1	1	1	1

**Минимизация СДНФ** позволяет получить выражение, содержащее наименьшее число "слагаемых" с наименьшим количеством "сомножителей" в каждом. Наиболее известными являются два метода минимизации. Первый из них, метод Квайна основан на применении толчедействия булевой аппаратуре к различным парам "слагаемых" в СДНФ с выделением в них общих частей и последовательным выполнением отдельных склееканий и пополнений, на основе чего к полученному укрупненному ДНФ применяется так называемая имплементарная машина

Второй метод минимизации позволяет с помощью специальных карт Бейца-Карно упростить проходку поиска склеиновавшихся "спаяемых" в ДНФ и получить МДНФ для БФ с числом аргументов не более пяти. Кarta Бейца-Карно предстavляет собой 2<sup>k</sup>-клеток и является по сути специальной формулой таблички истинности. Каждая клетка карты по определенному правилу (рис. 4 и 5) закреплена за своим строко определенным набором аргументов БФ (они для удобства прокомментированы). Такое правило гарантирует попадание наборов, отличающихся только одним аргументом, в соседние клетки карты. Для удобства ориентировки по краям таблицы указаны значения аргументов  $x_1, x_2, x_3, x_4, x_5$ . Цифра в углу каждой клетки соединяет с ней мером. На закрепленном за клеткой набором и болтает заполнение карты. (Внимание:ummerия клеток зависит от размещения аргументов на краях карты!) При заполнении карты Бейца-Карно в ее клетки согласно табличке истинности рассматриваемой БФ закоятся 0

Для минимизации ДНФ прямугольные единичные зоны на карте объединяются контурами, которые могут содержать 1, 2, 4, ...,  $2^k$  ( $k \leq n$ ) наборов, отвечающих склеиваемым членам ДНФ. Так как карты Бейта-Карно можно сворачивать по горизонтали и вертикали, то в контурах

$$\begin{array}{c}
 \text{Augmented Matrix:} \\
 \left[ \begin{array}{ccc|c}
 x_1 & x_2 & x_3 & 0 \\
 x_2 & -x_1 & 2x_3 & 1 \\
 x_3 & 2x_1 & -x_2 & 1
 \end{array} \right] \\
 \xrightarrow{\text{Row Operations}}
 \left[ \begin{array}{ccc|c}
 x_1 & x_2 & x_3 & 0 \\
 x_2 & -x_1 & 2x_3 & 1 \\
 x_3 & 2x_1 & -x_2 & 1
 \end{array} \right]
 \end{array}$$

**Рис. 4** Результаты измерения коэффициентов пропускания и отражения в диапазоне 0,1–10 ГГц для различных материалов на основе SiGe в зависимости от температуры

7

$\bar{X}_4$	$X_4$	$\bar{X}_3$	$X_3$	$\bar{X}_2$	$X_2$	$\bar{X}_1$	$X_1$	$\bar{Y}$	$Y$
0	1	0	1	0	1	0	1	0	1
1	0	1	0	1	0	1	0	1	0
0	1	1	0	0	1	1	0	0	1
1	0	0	1	1	0	0	1	1	0
0	1	1	1	0	0	0	1	1	1
1	0	0	0	1	1	1	0	0	0
0	1	1	1	1	0	0	0	0	0
1	0	0	0	0	1	1	1	1	1
0	1	1	1	1	1	0	0	0	0

можно использовать наборы, находящиеся в крайних рядах и углах карты (см. рис. 5). Каждый прямугольный контур, включаящий  $2^k$  единиц, дает в аналитическом выражении для МДНФ вид в виде одного члена ("слагаемого"), представляющего логическое произведение только тех ( $m_i \cdot k$ ) аргументов  $x_i$  (с инверсией или без нее), которые при обходе контура не изменяют своих значений (см. рис. 4, 5). Поэтому для получения МДНФ следует обеспечить попадание каждой "единицы" в какой-либо контур и организовать на карте БФ минимально возможное число контуров расщепленной конфигурации с максимальным числом единичных клеток в каждом. При этом для увеличения размеров контура расщепляется в разных контуры одна и те же единичные клетки. На рис. 4 изображена карта Венча-Карно для ВФ, заданной табл. 3 и СДНФ (1), а на рис. 5 - карта для БФ  $f(X_0 \dots X_4)$ , приведющей единичные значения на входных наборах с номерами 0, 2, 4, 6, 7, 8, 11, 12, 14, 15 и описываемой СДНФ вида

$$Y = X_4 \bar{X}_3 \bar{X}_2 \bar{X}_1 \vee X_4 X_3 X_2 \bar{X}_1 \vee \bar{X}_4 X_3 \bar{X}_2 \bar{X}_1 \vee X_4 X_3 \bar{X}_2 X_1 \vee \bar{X}_4 X_3 X_2 X_1 \vee X_4 \bar{X}_3 X_2 \bar{X}_1 \vee \bar{X}_4 \bar{X}_3 X_2 X_1 \vee \bar{X}_4 X_3 \bar{X}_2 X_1 \vee \bar{X}_4 \bar{X}_3 \bar{X}_2 X_1 \quad (2)$$

Полученную по карте Карно-Вейса МДНФ необходимо с помощью законов инверсии и двойного отрицания привести к виду, удобному для схемной реализации в заданном базисе:

$$Y = y = x_3 * x_2 * x_1; y = x_3 * x_2 * x_1 = x_3 \vee x_2 \vee x_1 \quad (3)$$

На рис. 6 приведены схемы, реализующие соотношение (3) на ПЭ и ИЛИ, НЕ (см. рис. 6а), а также в базисах И-НЕ и ИЛИ-НЕ (см. рис. 6б, в). При разработке схем важно помнить, что операция НЕ выполняется элементом Шеффера и Пирса при обединении его входов. Для схемной реализации МДНФ следует выбрать покомпонентную ИМС с требуемым числом входов у ЛЭ. Неоптимальный выбор числа входов ЛЭ влечет за собой увеличение энергопотребления и/или временных задержек. В каждой серии ИМС все микросхемы строятся на основе базового ЛЭ. Необходимо изучить принципиальные схемы ЛЭ ГТЛ, ЭСЛ и на МДП-транзисторах [2, с. 70-75], [15, с. 42-46].

2.6. Каждый базовый ЛЭ реагирует на изменение временной задержкой  $t_{\text{ср}} = 1/2f(\rho_3, t_3)$  на уровне  $\rho_3$  длительность фронта при включении и выключении ЛЭ (рис. 7). Конечная длительность переключения обусловлена процессы накопления и рассасывания носителей в телах базы транзисторов, а также перезарядом паразитных емкостей. Величина  $t_{\text{ср}}$  является одной из динамических характеристик ЛЭ и приводится в справочниках. Она зависит от типа транзистора, а также пересыпки паразитных емкостей. Суммарное время задержки всей схемы  $t_{\text{ср}} = N \cdot t_3$  зависит от числа  $N$  ЛЭ, включенных между выходом и наиболее "удаленным" от него выходом схемы. Например, для каждой схемы рис. 6  $N=3$ .

На выходе КУ из-за так называемых "состязаний", т.е. прохождения одного и того же сигнала через цепи с различными временными задержками, возможно появление ложных уровней сигналов. Опасность ситуации обусловлена возможностью "запоминания" ложного уровня в каком-либо элементе памяти (триггере) и, как следствие, нарушения функционирования всего ЛЭ. Борьба с последствиями "состязаний" осуществляется либо выравниванием задержек в таких цепях (введением пар избыточных ЛЭ), либо применением тактируемых (синхронизируемых) элементов памяти (см. п. 4.2), срабатывающих в момент подачи таковых импульсов по окончании паразитных переходных процессов, вызванных "гонками" сигналов [1, с. 64-66, 82-86], [3, с. 49-53, 56, 57].

#### Вопросы и упражнения для самоконтроля

1. Составьте таблицы истинности для следующих КУ с двумя входами: сумматора по модулю 2, "запят по выходу КУ".
2. Предложите схему КУ, построенного только на элементах: а) И-НЕ, б) ИЛИ-НЕ

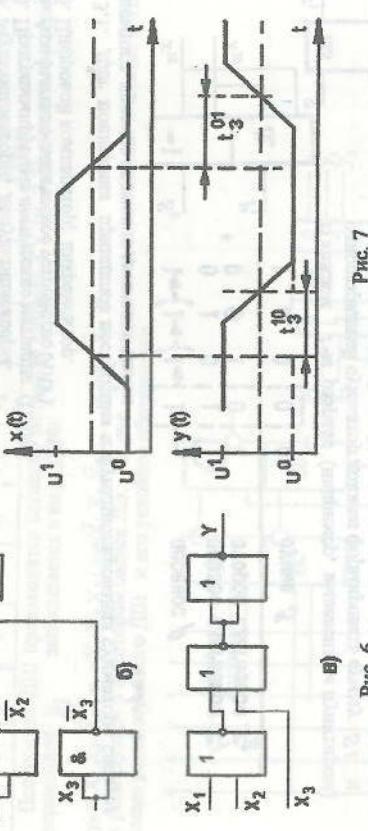


Рис. 7

Рис. 6

и выполняющего операции И, ИЛИ, НЕ.

3. Реализуйте БФ  
 $Y = X_1 \bar{X}_2 V \bar{X}_1 X_2$

в базисах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ.

4. Какую функцию реализует КУ, изображенное на рис. 8?

5. Для КУ, заданного табл. 1, с помощью карты Карно найти МДНФ.

6. Укажите уровни сигналов на выходах всех ЛО рис. 6, если  $x_1 = J, x_2 = Q, x_3 = I$ .

7. Какие логические операции выполняет многофункциональное КУ (рис. 9) при разных уровнях управляемых сигналов  $V_1$  и  $V_2$ ?  
 8. Сравните базовые ЛЭ типа ГГП, ЭСЛ, МДП по энергопотреблению, степень интеграции.

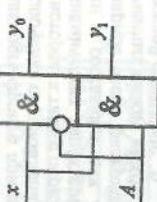


Рис. 8

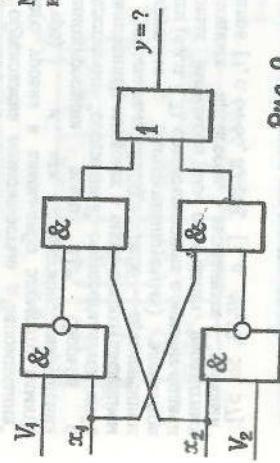


Рис. 9

### 3. ТИПОВЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ЦУ КОМБИНАЦИОННОГО ТИПА

Вопросы, подлежащие изучению

3.1. Двоичный сумматор.

3.2. Дешифраторы, шифраторы, преобразователи кодов.

3.3. Мультиплексоры, демультиплексоры.

3.4. Программируемые логические матрицы (ПЛМ).

3.5. Арифметико-логическое устройство (АЛУ).

3.6. Цифровой коммутатор, инвертор.

3.1. Для понимания принципов построения и функционирования сумматора следует вспомнить правила сложения двоичных чисел:

$x_0$	$S_0$	$P_i$	$\text{перенос } P$	$\text{первое слагаемое } S_1$	$\text{второе слагаемое } S_2$	$\text{сумма } S$
1	0	0	0	1	1	0
1	0	1	1	0	1	1
1	1	0	1	1	0	0

В каждом  $i$ -м разряде (например, выделенном пунктиром)

одноразрядный сумматор должен формировать сумму  $S_i$  и перенос в старший раз  $P_i$  при поступлении входных сигналов  $x_1, x_2, P_{i-1}$  в соответствии с таблицей истинности КУ (см. табл.

5). В отсутствие от полного сумматора  $MN$  не поступает сигнал переноса. На рис.

10 изображена структура  $HS$ , а также условные обозначения  $HS$  и  $SM$  [1, с. 70-82], [5, с. 93-96], [9, с. 93, 94].

Таблица истинности одноразрядного сумматора.

$P_{i-1}$	$x_0$	$x_1$	$x_2$	$S_i$	$P_i$
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	1	0

Табл. 5

3.2. Колодробразователь - это КУ, имеющее  $m$  входов и  $n$  выходов и преобразующее входные  $m$ -разрядные двоичные числа в выходные  $n$ -разрядные; при этом единицей связи всего обозначается высокий потенциал на входе/выходе, а нулем - низкий. В технике связи и ВТ, в МПС наиболее широко используется два вида колодробразователей: дешифратор и дешифратор (ДШ) - это КУ с  $m$  входами и  $n = 2^m$  выходами, формирующее 1 только на одном из выходов, десятый номер которого соответствует входной двоичной комбинации (см.табл. 6).

Таблица истинности для дешифратора и шифратора

$x_3$	$x_2$	$x_1$	$y_0$	$y_1$	$y_2$	$y_3$	$y_4$	$y_5$	$y_6$	$y_7$	для ДШ
0	0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	0	1

Построение ДШ производится согласно методике синтеза КУ (п. 2.3); каждая выходная переменная  $y_j$  записывается в виде ДНФ

$y_0 = \bar{X}_1 \bar{X}_2 \bar{X}_3, y_1 = \bar{X}_1 \bar{X}_2 X_3, y_2 = \bar{X}_1 X_2 \bar{X}_3, \dots, y_7 = \bar{X}_1 X_2 X_3$

и реализуется в некотором базисе ЛЭ. На рис. 11 приведена реализованная в базисе И-НЕ схема рассмотренного ДШ и его условное обозначение.

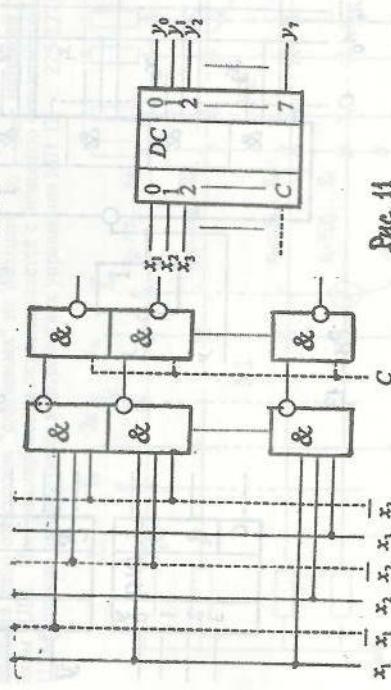


Рис. 11

Таблица истинности ПЛМ

$P_{i-1}$	$x_u$	$x_v$	$S_i$	$P_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	0

Табл. 6

Табл. 6

$x_3$	$x_2$	$x_1$	$y_0$	$y_1$	$y_2$	$y_3$	$y_4$	$y_5$	$y_6$	$y_7$	для И-НЕ
0	0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	0	1

Построение ДШ производится согласно методике синтеза КУ (п. 2.3); каждая выходная переменная  $y_j$  записывается в виде ДНФ

$y_0 = \bar{X}_1 \bar{X}_2 \bar{X}_3, y_1 = \bar{X}_1 \bar{X}_2 X_3, y_2 = \bar{X}_1 X_2 \bar{X}_3, \dots, y_7 = \bar{X}_1 X_2 X_3$

и реализуется в некотором базисе ЛЭ. На рис. 11 приведена реализованная в базисе И-НЕ схема рассмотренного ДШ и его условное обозначение.

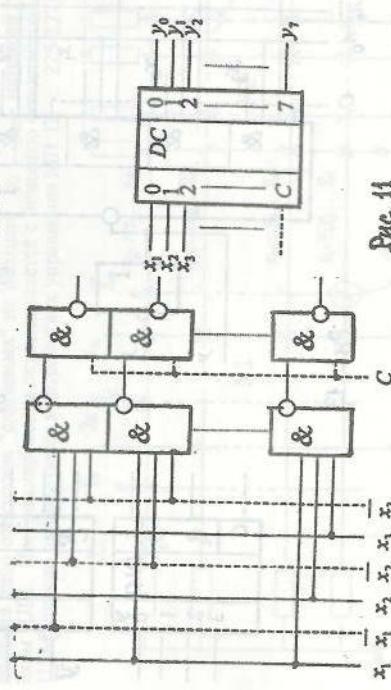


Рис. 11

Таблица истинности АЛУ

$P_{i-1}$	$x_u$	$x_v$	$S_i$	$P_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	0

Табл. 6

Табл. 6

$x_3$	$x_2$	$x_1$	$y_0$	$y_1$	$y_2$	$y_3$	$y_4$	$y_5$	$y_6$	$y_7$	для И-НЕ
0	0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	0	1

Построение ДШ производится согласно методике синтеза КУ (п. 2.3); каждая выходная переменная  $y_j$  записывается в виде ДНФ

$y_0 = \bar{X}_1 \bar{X}_2 \bar{X}_3, y_1 = \bar{X}_1 \bar{X}_2 X_3, y_2 = \bar{X}_1 X_2 \bar{X}_3, \dots, y_7 = \bar{X}_1 X_2 X_3$

и реализуется в некотором базисе ЛЭ. На рис. 11 приведена реализованная в базисе И-НЕ схема рассмотренного ДШ и его условное обозначение.

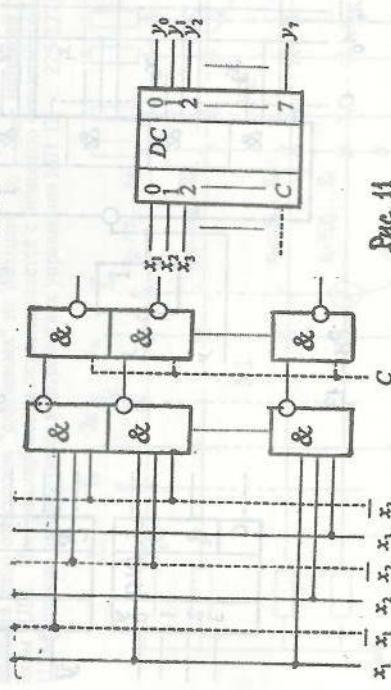


Рис. 11

Таблица истинности АЛУ

$P_{i-1}$	$x_u$	$x_v$	$S_i$	$P_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	0

Табл. 6

Табл. 6

$x_3$	$x_2$	$x_1$	$y_0$	$y_1$	$y_2$	$y_3$	$y_4$	$y_5$	$y_6$	$y_7$	для И-НЕ
0	0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	0	1	0	0
1	1	0									



### 3.5. АЛУ является многофункциональным КУ, управляемым внешними

двоичными сигналами  $V_1 \dots V_n$ , при изменении которых сменяется выполняемая АЛУ функция. Принцип построения такого устройства иллюстрируется схемой на рис. 9. Например, АЛУ в МП серии 1804 выполняет восемь различных операций над четырехразрядными числами: сложение и вычитание с учетом и без учета переноса, суммирование по модулю 2, ряд логических операций. Ознакомиться с АЛУ К155ИПЗ, выполняющим 32 операции. Материал изложен в [2, с. 172-177], [3, с. 108-114], а также в п. 3.2 в разделе "Курсовая работа".

3.6. Простой пример схемы сравнения (компаратора) одноразрядных двоичных чисел  $a$  и  $b$  приведен на рис. 15.

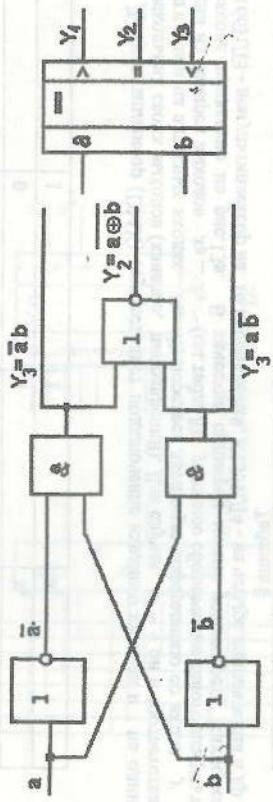


Рис. 15.

Схема согласно табл. 9 формирует высокий потенциал на выходе  $Y_1, Y_2$  или  $Y_3$  при выполнении соответствующего соотношения между числами  $a$  и  $b$ . Промышленностью выпускаются ИМС для сравнения двух- и многоразрядных чисел (например, К555ИП1 - для четырехразрядных). Материал изложен в [2, с. 62].

Таблица 9

$x_1$	$x_2$	$y_1$	$y_2$	$y_3$
$a$	$b$	$a > b$	$a = b$	$a < b$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

1. Синтезируйте схему многоразрядного сумматора на основе нескольких одноразрядных. Оцените ее быстродействие.  
2. Для чего нужна схема ускоренного переноса? Синтезируйте СУП для трехразрядного сумматора.  
3. Выполните синтез одноразрядных мультиплексора и демультиплексора согласно табл. 7 и 8.  
4. На базе нескольких одноразрядных мультиплексоров с четырьмя входами построить аналогичный четырехразрядный.  
5. Синтезируйте компаратор для сравнения двухразрядных чисел.  
6. Составьте таблицу истинности для инкрементора и синтезируйте его схему.  
7. На всех входах ИМС K555ИП1 задать произвольную комбинации входных сигналов; определить уровни сигналов на выходах, дав необходимые пояснения.  
8. Перечислить режимы работы и выполняемые операции ИМС K155ИП3.

#### 4. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ДЦ (КОНЕЧНЫЕ АВТОМАТЫ)

Вопросы, подлежащие изучению

- 4.1. Понятие о bistabilной ячейке, о триггере.
- 4.2. Классификация и основные типы триггеров.
- 4.3. Структура и методика синтеза конечного автомата (КА).
- 4.4. Регистры, стек.
- 4.5. Схемники.

4.1. Текущее состояние КА, т.е. уровень выходного сигнала  $y(t)$ , зависит (см. п. 2.1) от некоторой последовательности входных сигналов  $x(t - \Delta), x(t - 2\Delta), x(t - 3\Delta), \dots, x(t - l\Delta)$  и от выходных сигналов  $y(t - \Delta), y(t - 2\Delta), \dots, y(t - k\Delta)$ . Наиболее простым примером КА является триггер ( $l = 0, k = 1$ ), основу которого составляет bistабильная ячейка, т.е. ячейка с двумя устойчивыми состояниями (рис. 16). Легко видеть, что любое из этих двух состояний bistабильной ячейки может сохранять сколь угодно долго. Если эту ячейку дополнить несколькими входами, на которые подавать управление (информационные), сигналы  $x_i(t)$ , позволяющие устанавливать ячейку в требуемое состояние, то она превратится в триггер.

4.2. Триггер - это ДЦ, которое обладает двумя устойчивыми состояниями и под воздействием входных управляющих сигналов может переходить в одно из этих состояний. Название устройства произошло от английского слова trigger (в переводе - "спусковой крючок") и подчеркивает способность триггера очень быстро, скачком переходить из одного устойчивого состояния в другое, т.е. опрокидываться, переключаясь. Указанные свойства триггера позволяют решать очень важную задачу хранения двоичной информации.

Основное обозначение триггера приведено на рис. 17. В

основном, по изображению триггера поменяют букву Т (для двухступенчатого триггера ГГ);  $Q$  и  $\bar{Q}$  - обозначают прямой и

инверсный выходы; в первом поле указывается тип входа -  $R, S$ ,

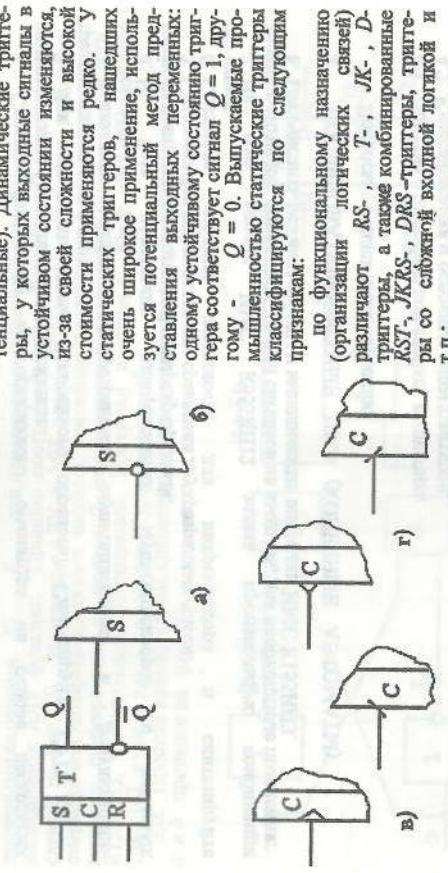
$J, K, D, C, V$  и др., а также способ управления записью (B)

или заднему (Г) фронту.

Рис. 16

Инкрементор ко входному многоразрядному числу  $Q$  прибавляет в случае необходимости  $C_0 = 1$  или 0, формируя при переполнении сигнал переноса из старшего разряда. Схема инкремента/декремента, выполняющего операцию  $y = Q \pm C_0$ , часто применяется в МПС для определения адреса следующей команды.

По виду выходных сигналов триггеры разделяются на динамические и статические (потенциальные). Динамические триггеры, у которых выходные сигналы в устойчивом состоянии изменяются, из-за своей сложности и высокой стоимости применяются редко. У статических триггеров, имеющих очень широкое применение, используется потенциальный метод представления выходных переменных: одному устойчивому состоянию триггера соответствует сигнал  $Q = 1$ , другому —  $Q = 0$ . Выпускаемые производственностью статические триггеры классифицируются по следующим признакам:



по числу информационных входов различают одно-, двух- и многоходовые (например,  $\emptyset$ ,  $T$ ,  $RS$ ,  $JK$ ,  $DRS$ ,  $JKR$ ) триггеры; по способу записи информации триггеры подразделяют на асинхронные (не гасящиеся и синхронные (тактируемые), статические и динамические (по фронту импульса, рис. 17 в, г) управлением записью; на одно- и двухтактные (двухступенчатые); по элементной базе различают триггеры на интегральных (рассматриваются далее) и дискретных компонентах.

Следует хорошо знать условные обозначения, принятые для информационных входов триггеров:

- $R$ ,  $S$  - входы для раздельной установки триггера в состояние  $Q = 1$  (Set - установка) и  $Q = 0$  (Reset - сброс);
- $T$ -счетный вход триггера (*Toggle* - релаксатор);
- $J$ ,  $K$  - входы для раздельной установки  $JK$ -триггера в состояние  $Q = 1$  (J-set - внешнее включение) и  $Q = 0$  (K-reset - внешнее выключение);
- $D$  - вход для установки триггера в состояние 1 или 0 с временной задержкой (Delay - задержка) относительно момента появления информационного сигнала;
- $C$  - синхронный вход для подачи тактовых импульсов (*Clock* - источник синхронизирована).

Качество работы триггера оценивается следующими основными показателями: быстродействием, нагрузочной способностью, потребляемой мощностью, помехоустойчивостью. Необходимо знать алгоритмы функционирования и таблицы истинности  $JK$ ,  $D$ ,  $T$ - и  $JK$ -триггеров, уметь иллюстрировать их работу временными диаграммами, строить для них принципиальные схемы на ПЭВМ и определять их быстродействие. Материал изложен в [1, с. 91-109], [2, с. 63-69], [3, с. 77-84].

[9, с. 46-48, 58-65]. При его изучении необходимо обратить внимание на причины использования двухступенчатых триггеров и многоходовых триггеров с дополнительными вспомогательными и управляемыми выходами  $V$  (особенно  $DV$ -триггер,  $JK$ -триггер со встроенной входной логикой J и K и т.п.).

Каждый триггер может быть рассмотрен и синтезирован как КА.

4.3. Обобщенная структурная схема КА приведена на рис. 18 и содержит ЗУ (память на триггерах  $T_1 \dots T_n$ ) и два комбинационных устройства (КУ): одно КУ 1 для формирования сигналов  $q_1, q_2, \dots, q_n$  управления триггерами, второе КУ 2 для формирования требуемых выходных сигналов  $V_1, V_2, \dots, V_k$ . Каждый КА характеризуется:

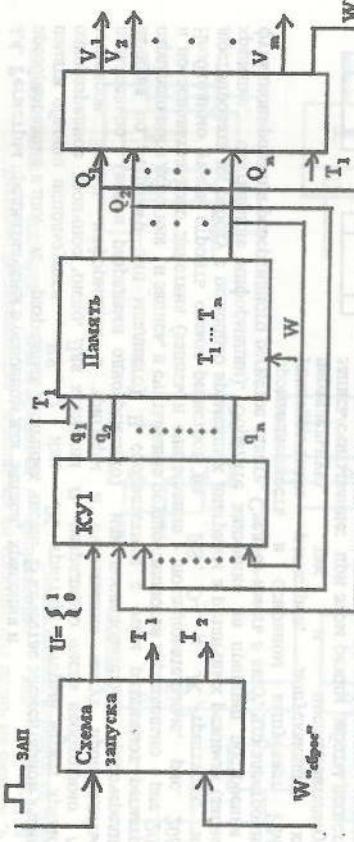


Рис. 18

множеством  $X$  возможных значений вектора  $\tilde{x}$  выходных сигналов; множеством  $A$  возможных внутренних состояний  $a = \hat{a} = (Q_1, \dots, Q_n)$ , где  $Q_i$  - состояние триггера  $T_i$ ; множеством  $U$  возможных (требуемых) значений вектора выходных сигналов в  $\tilde{V} = (V_1 \dots V_k)^T$ . В каждый фиксированный момент времени  $t$  эти векторы принимают значения  $\tilde{x}(t)$ ,  $a(t)$ ,  $\tilde{V}_0$  из множеств  $X$ ,  $A$  и  $U$ . Как правило, КА работают циклически, заканчивая их всякий раз возвращением в исходное состояние. В ходе выполнения цикла КА в заданные моменты времени  $t_1, t_2, t_3, \dots$  проходит через определенное число последовательных состояний друг друга внутренних состояний  $a_1(t), a_2(t), a_3(t), \dots$ , формируя при этом требуемые выходные сигналы  $V_1(t_1), V_2(t_2), \dots$ .

Алгоритм функционирования КА однозначно определяется функцией (таблицей) переходов, которая указывает правило определения последующего состояния КА  $a_{i+1}$  в зависимости от предыдущего состояния  $a_i(t)$  и действующего входного сигнала  $\tilde{V}(t)$ , а также функцией (таблицей) выходов, указанной зависимостью выходного сигнала от состояния автомата. Более наглядным и удобным является описание алгоритма работы КА с помощью графа.

Граф состоит из узлов, отождествляемых с отдельными состояниями КА, и из направленных связей между ними, которые иллюстрируют переходы из одного состояния в другое, происходящие под воздействием выходных сигналов, на каждой связи указывается значение лейтвоздушных выходных сигналов, а рядом с узлом - выдаваемый в данном состоянии выходной сигнал (рис. 19). Кроме того, граф позволяет выявить неустойчивость системы при управлении ею потенциальными сигналами. Неустойчивость проявляется в многократной смене состояний при неизменных переходах управляемых сигналов. О неустойчивости КА свидетельствует наличие на его графике замкнутых контуров с одинаковыми значениями входных сигналов на образующих контурах связей. Для устранения неустойчивости следует перейти к управлению импульсными сигналами либо увеличить количество триггерных ячеек в ЗУ автомата. При известном числе  $n$  и типе триггеров  $T_1, \dots, T_n$  синтез КА сводится к синтезу КУ1 и КУ2 по ранее описанной методике. Теория синтеза КА изложена в [1, с. 92-97].

Простые примеры синтеза КА можно найти в [1], [9] (см. рис. 19). Простое выражение (реализует тождественное преобразование), так как  $V_f = Q$ .

4. Можно ли число 109 записать на хранение в пятиразрядный регистр? Для организации трехстабильных выходов применяются схемы на полевых транзисторах?

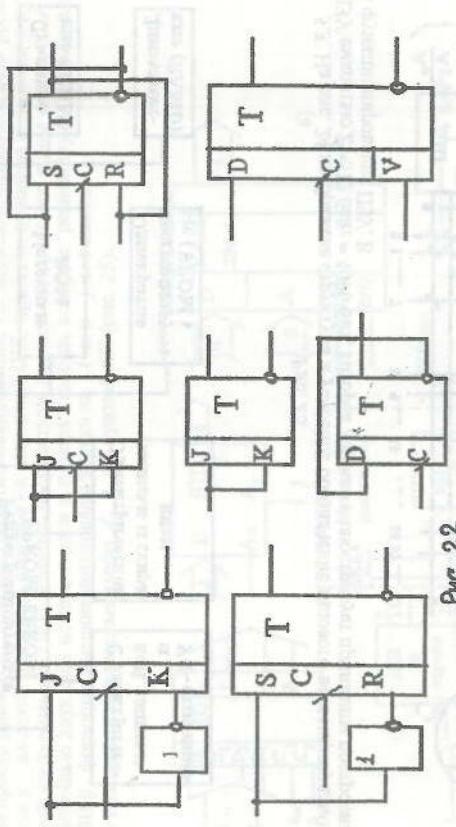


Рис. 2.2

а) Рис. 20 б) Рис. 21 в) Рис. 22

построенный на триггерах и предназначенный для подсчета поступивших на его вход сигналов (обягчено импульсов) и фиксации результата в виде многоразрядного двоичного числа. Количество разрядов (триггеров)  $n$ , в счетчике определяет максимальное количество различных состояний  $2^n$  такой триггерной системы, т.е. коэффициент пересчета  $K_{\text{ко}}$ .

В основу построения любого счетчика положено свойство Т-триггера каждый раз изменять свое состояние при подаче отдельного импульса на счетный вход. Материал изложен в [1, с. 122-139], [2, с. 86-88], [9, с. 89-93].

Предварительно полезно повторить правило перевода чисел из десятичной системы счисления в двоичную. Изучив материал, нужно уметь:

1. Рисовать схемы суммирующих, вычитающих и реерсивных двоичных счетчиков на RS-, D- и JK- триггерах, знать их условные обозначения (рис. 21), и полностью разобрать их работу

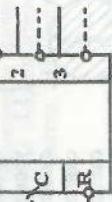


Рис. 21

1. Почему задержка в срабатывании синхронного RS-триггера равна  $3 \cdot t_{\text{ср}}$ ? Какой должна быть минимальная длительность импульса на входе  $S$ , с?
2. Какова последовательность установки сигналов на выходах D- триггера в режимах записи, хранения, считывания информации?
3. Каково функциональное назначение триггерных систем на рис. 22?

#### 5. МАРИЧНЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА (ЗУ)

Вопросы, подлежащие изучению  
[1, с. 203-224], [2, с. 96-99], [6, с. 60-73]

5.1. Назначение и применение запоминающих устройств (ЗУ) в современных ЭВМ.  
5.2. Классификация и параметры ЗУ; основные типы ПЗУ и ОЗУ.  
5.3. Структура, принципы построения и функционирования ПЗУ.  
5.4. Принципы построения статических ОЗУ. Произвольный и последовательный доступ.

5.5. Появление емкости и разрядности ЗУ.  
5.6. Наряджение изучению

5.1. В современных ЭВМ (в том числе персональных) матричные ЗУ используются для хранения больших массивов числовых данных и программ: в общих случаях записи и хранения подлежат многоразрядные двоичные числа. Пользователь ЗУ должен иметь возможность, указав номер нужной ячейки памяти (адрес), сразу же быстро записать в нее или считать из нее двоичное число. Часть служебных программ (инициализации, ввода-вывода и т.п.) имеют неизменный текст и должны записываться однократно на постоянное хранение, т.е. требуют для своего хранения постоянных ЗУ (ПЗУ), в которых информация сохраняется даже при отключении питания (замедляется при его включении).

Большая же часть пользовательских программ и данных, как правило, непрерывно обновляются и требуют для своего хранения оперативных ЗУ (ОЗУ), предусматривающих возможность быстрой многократной записи информации, которая пропадает, старается при отключении питания.

5.2. На рис. 23 представлена классификация ЗУ. Следует разобраться в основных типах ЗУ, понять разницу между статическими и динамическими ЗУ: на технология изготовления (n-MOS, p-MOS, CMOS, n-ЛИЗМОЛ или биполярных (n-МОП, р-МОП, ГТЛ, ГЦЛ, ИД, ЭСЛ) транзисторах. Основными параметрами ЗУ являются: емкость (число ячеек памяти), разрядность и время обращения.

4.4. Регистры предназначены в основном для записи, хранения и считывания двоичных чисел. В качестве элементарной ячейки памяти обычно используется RS-, D- или JK-триггер, который может хранить одноразрядное двоичное число. Для хранения  $n$ -разрядного числа необходимо  $n$  триггеров. Запись информации в триггеры - последовательные, а считывание - могут производиться параллельно (одновременно) или последовательно (противоположно, начиная со старшего или младшего). В соответствии с этим различают регистры параллельного действия (запись и считывание осуществляются параллельно - рис. 20a) и последовательного действия (запись и считывание - последовательные, рис. 20b). Необходимо уметь строить схемы регистров на RS-, D- и JK-триггерах, иллюстрировать их работу с помощью временных диаграмм (запись, хранение, считывание информации). Обратите внимание на принцип построения и функционирования реверсивного регистра свитча. Следует иметь в виду, что электронная промышленность в основном выпускает ИМС универсальных регистров, допускающих как параллельную, так и последовательную запись/считывание: при этом режим работы регистра и направление слияния задаются изменениями уровняй сигналов на управлении (нениформационных) входах. Материал изложен в [1, с. 109-122], [2, с. 84-86], [3, с. 66-67], [9, с. 83-89]. Очень важным является вопрос об организации трехстабильных выходов в буферных регистрах.

Н реверсивных и  $n$ -разрядных регистров свитва с общими цепями синхронизации и управления направлением сдвига можно использовать для поочередной параллельной записи  $n$ -разрядных чисел  $y_1, y_2, \dots, y_n$  и для поочередного считывания в обратном порядке  $y_n, y_{n-1}, \dots, y_1$ . Память такого типа называется магазинной или стоком и работает по принципу "первым вошел, последним вышел".

4.5. Счетчиком называется функциональной узел, построенный на триггерах и предназначенный для подсчета поступивших на его вход сигналов (обягчено импульсов) и фиксации результата в виде многоразрядного двоичного числа. Количества разрядов (триггеров)  $n$ , в счетчике определяет максимальное количество различных состояний  $2^n$  такой триггерной системы, т.е. коэффициент пересчета  $K_{\text{ко}}$ .

В основу построения любого счетчика положено свойство Т-триггера каждый раз изменять свое состояние при подаче отдельного импульса на счетный вход. Материал изложен в [1, с. 122-139], [2, с. 86-88], [9, с. 89-93]. Предварительно полезно повторить правило перевода чисел из десятичной системы счисления в двоичную. Изучив материал, нужно уметь:

рисовать схемы суммирующих, вычитающих и реерсивных двоичных счетчиков на временных диаграммами;

обозначениями, основываясь на способах построения недвоичных счетчиков, способы оценки и повышения их быстродействия;

уметь применять счетчики для деления частоты следования импульсов.

Вопросы и упражнения для самоконтроля

1. Почему задержка в срабатывании синхронного RS-триггера равна  $3 \cdot t_{\text{ср}}$ ? Какой должна быть минимальная длительность импульса на входе  $S$ , с?
2. Какова последовательность установки сигналов на выходах D- триггера в режимах записи, хранения, считывания информации?
3. Каково функциональное назначение триггерных систем на рис. 22?

**5.4.** В ОЗУ в узлах матричного накопителя в качестве ячеек памяти используются регистры (триггеры). По этой причине по сравнению с ПЗУ резко возрастает габариты и уменьшается емкость. Главная задача при построении матричного ОЗУ заключается во вводе/выводе информации в любую ячейку по однотипной шине данных (ШД). Эта задача в принципе просто решается с помощью мультиплексирования, т.е. подключения входов всех регистров к входной ШД, всех выходов - к выходной ШД; при этом проблема адресации к нужной ячейке памяти (ЯП) решается посредством анализа содержимого шины адреса (ША) с помощью двух ШД номера строки и номера столбца, которые "реанимируют" только одну ЯП  $j$ , формируя высокие потенциалы только на  $i$ -м и  $j$ -м выходах и подавая их на адресные входы  $A_x$  и  $A_y$  нужной ЯП (рис. 25).

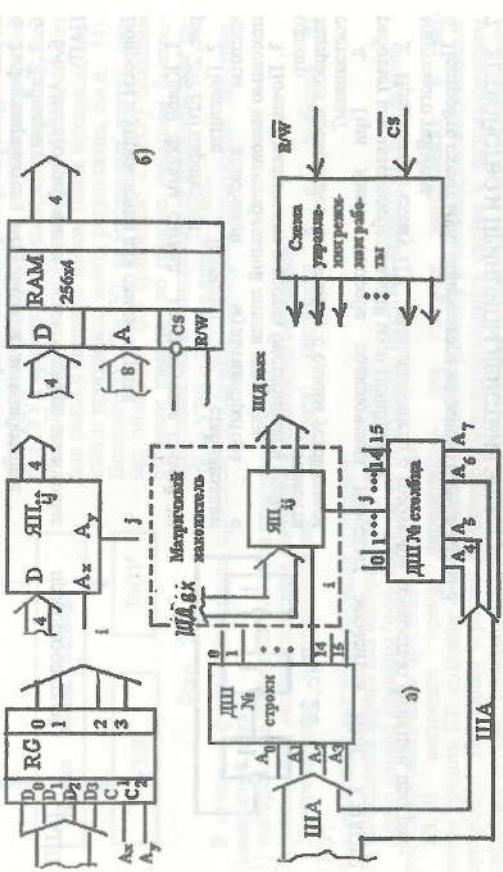
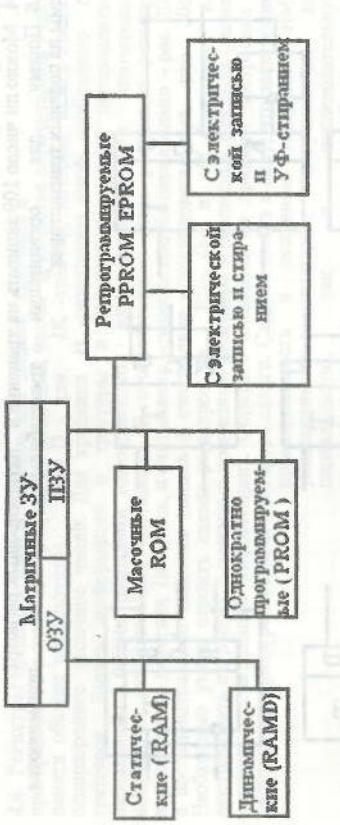


рис. 25  
В ОЗУ такого типа возможен произвольный (последовательный) доступ - только в порядке возрастания / убывания адресов (так, например, в стеке или ЗУ на магнитной ленте). Следует обратить внимание на программированную реализацию стека в специальном выделенном ОЗУ, когда адреса формируются отдельным реверсивным счетчиком, называемым универсальным счетчиком.

**5.5.** Обратите внимание на новый режим работы динамических ОЗУ, требующих периодического восстановления (регенерации) информации в ЯП, так как каждый бит информации хранится в виде заряда на емкости затвора МОП-транзистора и возможна утечка заряда. Сверхоперативные ЗУ строятся на приборах с зарядовой связью [9, с. 88-89].  
**5.6.** Необходимо овладеть основными приемами проектирования и построения ЗУ требуемой емкости и разрядности на основе заданных микросхем памяти [1, с. 218].

Вопросы и упражнения для самоконтроля

1. Какова технология записи информации в масочные ПЗУ, reпрограммируемые ПЗУ? К каким подготовительным работам она приводит?
2. Укажите назначение всех выводов ИМС K56РТ.
3. Чем отличается ПЗМ от ПЗУ (по способу адресации, по возможности обращения к одной функции по различным адресам и т.п.)?
4. Сравните время, затрачиваемое на повторную запись в EEPROM и в ОЗУ, а также габариты этих ЗУ, имеющих одинаковые емкости.



5.3. На рис. 24 изображена структура и условное обозначение типового восьмизадрного ПЗУ емкостью  $2^{12} = 4096$  байт, которая хорошо иллюстрирует принципы построения и функционирования ПЗУ. В

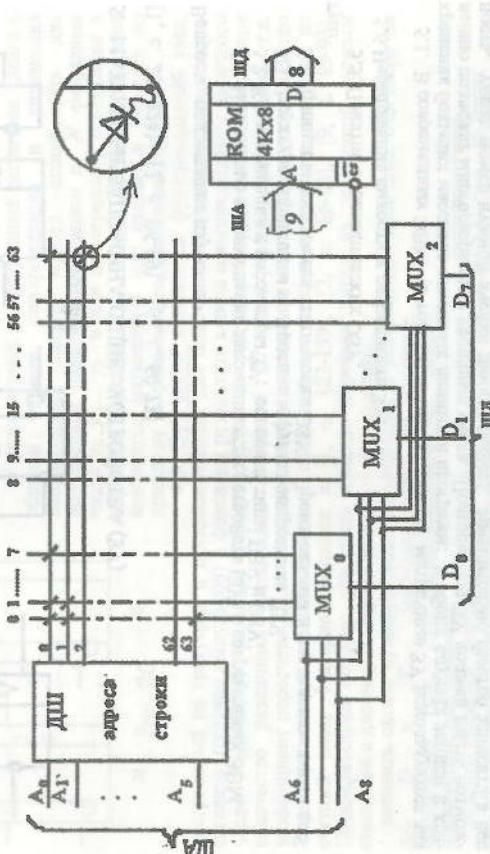


рис. 24  
узлах матрицы 64x64 размещается полупроводниковый прибор (диод, транзистор) с плавкой вставкой или без нее (ROM); в каждом узле контакт между адресной и разрядной шинами может быть нарушен посредством разрушения прибора или вставки. У ПЗУ типа PROM в узлах матрицы заносится слой нитрида кремния, который хорошо хранит электрический заряд. Время обращения зависит от технологии изготовления БИС ЗУ и для биполярных ПЗУ составляет 20-50 нс, для униполлярных - 200-600 нс. Сигнал на входе  $\overline{CS}$  (или  $V_K$  = "выбор кристалла") разрешает или запрещает работу БИС.



## 11. ОДНОКРИСТАЛЬНЫЙ МП С ФИКСИРОВАННОЙ РАЗРЯДНОСТЬЮ

$$a) \begin{array}{|c|c|c|c|c|} \hline & x_0 & x_1 & x_2 & \dots & x_n \\ \hline \end{array} \quad b) \begin{array}{|c|c|c|c|c|} \hline & x_0 & x_1 & x_2 & \dots & x_{n-1} & x_n \\ \hline \end{array}$$

ЭВМ. Для таких чисел  $2 \cdot 10^M \cdot q$ , где  $M$  — мантисса числа, обычно используется нормативная форма представления, когда мантисса должна быть меньше единицы по модулю, а ее первая после запятой цифра отличаться от нуля.

Формат с фиксированной запятой используется в основном в мини-компьютерах. Для кодирования значений плавающей запятой используется обратный и дополнительный коды, позволяющие выполнять операции вычитания с помощью сумматора.

Э. Э. ПРИНЦИПЫ ПОСТРОЕНИЯ ПРОЦЕССОРОВ

Бандея-Междуріччя

9.1. Декомпозиция процессора на операционный и управляемый узлы.  
 9.2. Понятие о микропрограммном управлении.

**9.4. Язык микропрограмм.**  
На рис. 29 изображена структура обобщенного Пр, где он представлен в виде двух тесно взаимодействующих автоматов: операционного (ОА) и управляемого (УА); первый из них содержит АЛУ, РОН и выполняет предписанные кодом команды операции; второй в определенный временной последовательности вырабатывает управляемые сигналы  $V$ , пол включением которых в ОА и выполняются требуемые опции. Здесь III и IV – пол.

-2-

10. МИКРОПРОЦЕССОРНЫЕ УСТРОЙСТВА (МПУ) С РАЗРЯДНО-МОДУЛЬНОЙ ОРГАНИЗАЦИЕЙ НА КОМПЛЕКСАХ МИКРОПРОГРАММИРУЕМЫХ БИС [1, с. 284-300; 12, гл. 10; 16, с. 277-316]. [4]

10.1. Состав микропроцессорного комплекта (МПК). Структурная схема МПУ. Центральный микропроцессорный элемент. Функциональные модули МПУ. 10.2. Принципы составления стандартных микропрограмм. Примеры.

**11. ОДНОКРИСТАЛЬНЫЙ МП С ФИКСИРОВАННОЙ РАЗРЯДНОСТЬЮ И ФИКСИРОВАННОЙ СИСТЕМОЙ КОМАНД [1, с. 247-284], [2, гл. 10], [6, с. 74-175], [8, гл. 2]**

11.1. Структурная схема МП на примере БИС КР580ВМ80, К140ВМ86.  
11.2. Дорожки данных и адресов. Методы адресации. Технические характеристики и особенности. Командный и машинные циклы.

## 12. ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ (ПО) МПК

[*193* 67] *g[ur] g[ur] g[ur] g[ur]* [*g[ur] g[ur] g[ur] g[ur]*] *g[ur] g[ur] g[ur] g[ur]* [*g[ur] g[ur] g[ur] g[ur]*]

**2.1. Технология программирования. Автоматизация программирования.**  
**2.2. Понятие об уровнях языков программирования. Программирование на ассемблере**

Документы и материалы съемки национальной команды

[2], с. 306-345], [3, гл. 4, 10], [6, гл. 142-175], [8, гл. 10], [7] Н.У.

3.1. Модульный принцип построения МС и микроЭВМ. Использование

Создание цепи информационных связей между различными субъектами производственного процесса. Адаптеры последовательного ввода/вывода. Сортировка информации в памяти компьютера. Оценка информационной молекулы.

## **14. СРЕДСТВА ВЪЧЕРЬТОГО И ПЯТОГО ПОКОЛЕНИЙ**

[1, гл. 13], [2, с. 15-20, гл. 16], [3, с. 26-29, гл. 14, 17, 15], [7, §9, п. 1, п. 5]

4.1. Принципы построения средств ВТ. Поколение ЭВМ.

4.3. Организация стирки и сорти ЭВМ.

**Методические указания к Математике 2-й части курса  
ЧАСТЬ 2. ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (III).**

Вторая часть курса посвящена наиболее ходовым применением средств ВТ в различных отраслях народного хозяйства. Изучению подлежат следующие вопросы:

**2. Системный подход к решению глобальной задачи информатизации общества.**

3. Конкретные отраслевые ИТ. Примеры.  
Краткое изложение материала курса.

академической хоругви на соревнованиях по спортивному ориентированию в г. Барнауле, где в различных видах

измерений, таблицы, программы и т.п.). В нашей повседневной жизни в самых разных сре-  
дах членовеской деятельности мы постоянно сталкиваемся с необходимостью автоматизации  
реконструкции обработки данных по тем или иным алгоритмам, которая может быть эффективно  
реализована с помощью средства вычислительной техники (ВЧТ). Вот частичное приимером:

**I. Библиотечное дело.** Сотрудники библиотек вынуждены решать проблему экономичного хранения основных фондов в сжатом (закодированном) виде на магнитном, оптическом и др. носителях. Это позволяет значительно снизить потребность в производственных площадях, ускорить процессы каталогизации, подборки и сортировки литературы по нужной тематике, а при необходимости быстро распечатать необходимые материалы на бумажном носителе. Разумеется, эта проблема решается посредством создания специализированной базы данных (БД) на основе применения ЭВМ.

**II. Медицина, страхование, жилищно-коммунальные службы.** Поликлиники, страховые и телефонные компании, банки, налоговые службы, ЖЭКи стремятся организовать автоматизированный учёт своих клиентов, упростить и ускорить их обслуживание. Очень актуальной оказывается задача контроля за ходом текущих платежей и учёта должников и задолженности, их автоматического оповещения (квитирования).

**III. Административное управление** на любом уровне (спортивный контроль в организациях ВД или учёт сотрудников в отделе кадров любого предприятия / учреждения ) также предполагает автоматическую обработку "биографических" данных с помощью дисплейных терминалов и ЭВМ.

**IV. Образование** (среднее, высшее) широко использует обучающие и контролирующие программы по базовым курсам и дисциплинам для автоматического (очного, заочного, дистанционного) обучения на основе использования ЭВМ и средств связи.

**V. Научные исследования.** При их проведении очень часто для снижения материальных затрат вместо дорогостоящего натурного эксперимента осуществляют компьютерное моделирование ситуации на ЭВМ, воспроизводя свойства и поведение изучаемого объекта (и / или) среды на машинной модели.

**VI. Автоматическое управление** взлетающей со ступником ракеты – это классический пример применения ЭВМ. В этом случае включённая в контур управления ЭВМ (и только она !) позволяет достаточно быстро (в реальном времени) отреагировать на изменения параметров траектории и другой telemetryической информации с борта и автоматически выработать необходимые управляющие сигналы на органы управления ракетой и ИСЗ (двигатели, стабилизаторы, системы управления антеннами, жизнеобеспечения и т.п.) по заданному алгоритму. В наши дни для автоматической управления используется относительно недорогие приданые или встроенные микроЭВМ (обычно однокристальные), микропроцессорные системы, сигнальные и специализированные, а также контроллеры. Значительно расширилась область применения средств БИС, ибо массовый выпуск БИС делает их доступными при создании систем автоматизированного проектирования (САПР) [19], при решении задач автоматического управления технологическими процессами (ТП) с целью снижения доли ручного труда (и себестоимости продукции) [13] и даже при автоматизации отдельных рабочих мест (АРМ).

**VII. Сбор и передача информации** осуществляется по современным цифровым сетям связи, элементной базой которых служат все те же средства ВГ. Кроме того, существуют специализированные глобальные и локальные сети (сети ЭВМ, Интернет, электронная почта и т.п.) [16, 17, 18].

Следовательно, именно средства ВГ предоставляют человеческому обществу сегодня возможность удовлетворить потребность в автоматической обработке огромных информационных массивов, обеспечивают их сбор и циркуляцию, т.е. способствуют созданию информационных технологий. ИТ – это процесс автоматизированного сбора и / или передачи, и / или хранения, и / или обработки пользовательской информации, осуществляемый на основе использования ВГ.

**2. Системный подход к решению проблемы глобальной информатизации общества предполагает успешное и своевременное решение следующих задач:**

- всемирное развитие средств доставки на основе их интеграции, за счёт

перехода от локальных сетей к глобальным (например, электронная почта, Интернет);

внедрение ИТ на разных уровнях производства, начиная с автоматизации отдельных рабочих мест (АРМ) и автоматизированных технологических линий (предприятий), заканчивая АСУ отраслью;

создание унифицированных БД и систем управления ими (СУ-БД), их широкое применение в различных областях знаний и отраслях производства; обединение распределённых информационных ресурсов в рамках одной сети с возможностью одностороннего доступа к ним; одновременно необходимо разработка эффективных средств защиты от несанкционированного доступа;

дальний этап развития микролэлектроники и на её основе создание более совершенных средств обработки данных ( по быстродействию и ёмкости ) с дружественным "интерфейсом пользователя", применение трансьютеров, многопроцессорных однородных и неоднородных вычислительных систем и т.д. [15];

разработка прогрессивных технологий для создания объективно-ориентированных систем ( обеспечение ( ПО ) информационных систем ( для функционального и логического программирования и т.д. ), специализированные языки для программного обеспечения им) для создания

изучению этих вопросов посвящён ряд дисциплин по выбору.

3. С целью конкретизации основных положений 2-й части курса Вы на лабораторных занятиях познакомитесь с обучающей и контролирующей программами по курсу "Программирование на языке Бейсик" ( программы PAUS и MMIAUK ), с системой АПР электронных схем ( программа PAUS ) и с АПР оператора телеграфной связи, а также на семинаре разработаете ПО для мини-СУБД\* "Успеваемость на факультете" ( на основе языка высокого уровня ) и выполните домашнее задание по программной реализации :

1) функций модера с проверкой на чётность, 2) цифрового фильтра на основе однокристальной микроЭВМ КМ1813ВЕ1 [4].

#### Вопросы и упражнения для самоконтроля

1. Составьте блок-схему алгоритма автоматического обучения программированию на Бейсике.
2. Напишите фрагмент программы (на языке Бейсик ) для контроля качества знаний.
3. Сформулируйте предложение по программной реализации САПР электронных схем (принципиальных ) [19].
4. Реализуйте функции кодера с проверкой на чётность с помощью МП КМ1804ВС1 [1, 2, 4, 6].
5. Продумайте технологию синтеза цифрового фильтра с заданной частотной характеристикой на базе однокристальной микроЭВМ КМ1813ВЕ1 [4].
6. Составьте программу-запрос на выдачу из БД "успеваемость" данных об "отличниках". Для той же БД составьте программу пополнения базы результатами очередной сессии [14].
7. На базе типовой микропроцессорной системы с трёхшинной организацией, построенной на основе БИС серии КР850, разработайте систему [1] ( включая программу ) автоматической регистрации показаний нескольких датчиков, выдающих данные 8-разрядным параллельным двоичным кодом в определённое время суток.

\*СУБД – комплекс прикладных программ для создания и обслуживания БД, а также для многоаспектного доступа к данным и их обработки [14].

## КУРСОВАЯ РАБОТА

программирование в двоичных кодах алгоритма вычислений, предписываемых функцией  $F = f(a, b, c, d)$  из табл. 10, где индекс  $K$  задаст номер Вашего варианта и определяется предыдущей  $i$  и последней  $j$  цифрами Вашего шифра:  $N = 10 \cdot i + j$ , а  $K = N$  при  $N \leq 49$  и  $K = N - 50$  при  $N > 50$ ; аргументы  $a = N + 15$ ,  $b = N + 13$ ,  $c = N + 5$  и  $d = N$ . При этом программу следует разместить в ПК, начиная с ячейки № $i$ , а операнды  $a, b, c$  и  $d$  - в ПД, начиная с ячейки № $j$ ; синтез КА, реализующего функцию УУ на рис.30;

выполнение вручную всех расчетов согласно  $f_k(\cdot)$  в двоичной системе счисления с выдачей всех промежуточных и окончательного результатов.

### 1. Задание на курсовую работу

Курсовая работа предусматривает:  
изучение принципа действия упрощённой модели автоматического вычислителя типа программируемого микрокалькулятора, структурная схема которого изображена на рис. 30;

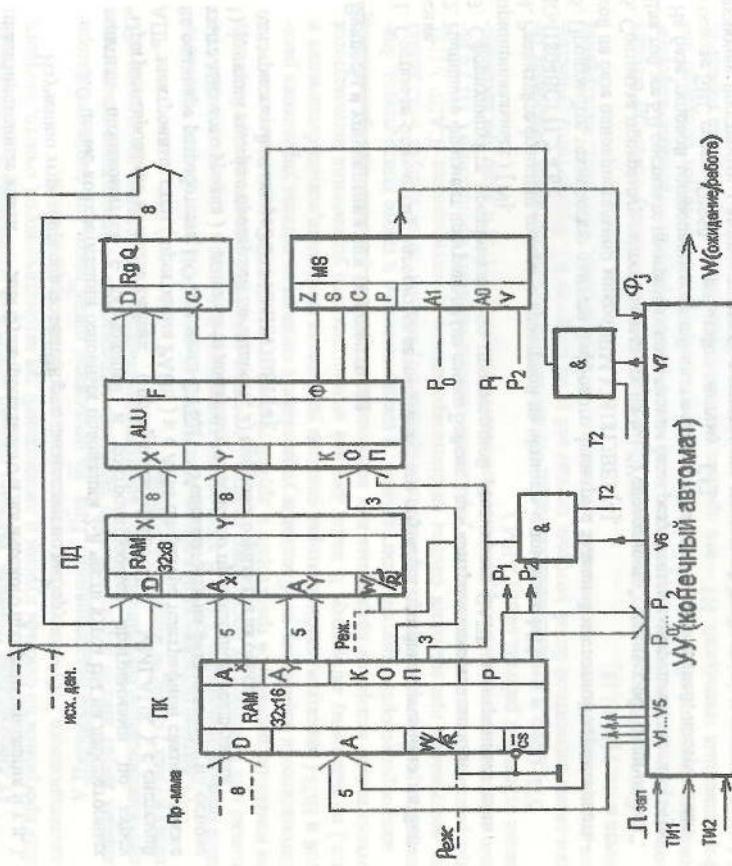


Рис. 30

2. Методические указания по выполнению КР

2.1. Структурная схема проектируемого вычислителя изображена на рис. 30. В его состав входит: восемьмиязывный АЛУ (ALU); регистр  $Rg\ Q$  (для временного хранения результата  $F$ ); одноразрядный мультиплексор М5 с 4-мя входами и одним выходом; восемьмиязывное ОЗУ - память данных (ПД); память команд (ПК); устройство управления (УУ) вычислительным процессом, элементы управляющей логики И1, И2.

АЛУ согласно табл. 1 формирует восемьмиязывный результат  $F$  и его флаг  $Z$  (признак нулевого результата),  $S$  (знака результата),  $C_7$  (напряжения переноса из старшего разряда) и др. При этом за один такт над числовыми значениями операндов  $x$  и  $y$  поданными на восемьмиязывные входы  $X$  и  $Y$ , выполняется операция  $f(x, y)$ , определяемая трехразрядным двоичным кодом  $K_2K_1K_0$  на входе КОП АЛУ.

Таблица 40  
Кодовая таблица АЛУ

№ п.п. $n$	Двоичный код Операции (КОП)	Выполняемая в АЛУ операция (результат $F = f_n(x, y) =$ )			8-разрядный КОП
		$K_2$	$K_1$	$K_0$	
0	0	0	0	0	“00”
1	0	0	0	1	“11”
2	0	1	0	0	“22”
3	0	1	1	1	“33”
4	1	0	0	0	“44”
5	1	0	1	1	“55”
6	1	1	0	0	“66”
7	1	1	1	1	“77”

В совокупности АЛУ, ПД,  $Rg\ Q$ , М5, И1...И2 могут рассматриваться как операционный автомат, УУ - как управляемый автомат, а ПК - как основная память процессора. Память данных (ПД) содержит 32 восемьмиязывных РОН, предназначена для хранения загружных в нее числовых значений операндов  $a$  (в ячейке  $= ROM_{M^2 j}$ ),  $b$  (ROM $M^2 j + 1$ ),  $c$  (ROM $M^2 j + 2$ ) и  $d$  (ROM $M^2 j + 3$ ) и может рассматриваться как собственная сверхоперативная память процессора. В режиме "Загрузка" (запись) на вход  $W/R$  ПД должен подаваться сигнал  $W_p$  уровня логической 1, а в режиме "Считывание" - уровня 0.

ПД является двухходовой и позволяет одновременно считывать содержимое  $X$  и  $Y$  сразу двух РОН, номера которых установлены на адресных входах  $A_X$  и  $A_Y$  однико в режиме записи функционирует только один вход  $A_X$ .

Таблица 14

Варианты задания на КР	$k$	$F = f_k(a, b, c, d)$	$k$	$F = f_k(a, b, c, d)$
00	00	$(a \vee b) \oplus c \wedge d$	25	$2(a - b + d) - 1$
01	01	$a + b - c + d$	26	$\overline{a \vee b \oplus c \wedge d}$
02	02	$\overline{a \vee b \oplus c \wedge d}$	27	$4a - b - c$
03	03	$a + 2b + c - d$	28	$\overline{a \vee b \oplus c \wedge d}$
04	04	$a \vee b \oplus c \wedge d$	29	$4(b - a) + d$
05	05	$2a + b - 2c - 1$	30	$\overline{a \vee b \oplus c \wedge d}$
06	06	$a \vee \bar{b} \oplus c \wedge \bar{d}$	31	$a + 2(b + 1) - c$
07	07	$a - b + 3c + 1$	32	$\overline{a \oplus b \vee c \wedge d}$
08	08	$a \wedge b \vee c \oplus d$	33	$a + 4(b - 1)$
09	09	$a - 1 + 2c + d$	34	$\overline{a \oplus b \vee c \wedge d}$
10	10	$a \wedge b \vee c \oplus \bar{d}$	35	$8a - c - 1$
11	11	$a + 3b - 2c + 1$	36	$\overline{a \oplus \bar{b} \vee c \wedge d}$
12	12	$\overline{a \wedge \bar{b} \vee c \oplus d}$	37	$8(a - b) + d$
13	13	$a - b + c - 2d$	38	$a \oplus \bar{b} \vee c \wedge \bar{d}$
14	14	$a \wedge \bar{b} \vee c \oplus \bar{d}$	39	$8(b - d) + c$
15	15	$1 + b + c - 3d$	40	$\overline{a \oplus \bar{b} \vee c \wedge \bar{d}}$
16	16	$a \wedge b \vee c \oplus d$	41	$8(a + b - c)$
17	17	$a + b - 3c + d$	42	$\overline{a \oplus \bar{b} \vee c \wedge d}$
18	18	$\overline{a \wedge b \vee c \oplus d}$	43	$a - 1 + 3(b - c)$
19	19	$a + 2b - 1 - 2d$	44	$\overline{a \oplus b \vee c \wedge d}$
20	20	$\overline{a \wedge b \vee c \oplus d}$	45	$5(a + b) - 1$
21	21	$2(a - 1) + 3c$	46	$\overline{a \oplus \bar{b} \vee c \wedge d}$
22	22	$\overline{a \wedge b \vee c \oplus \bar{d}}$	47	$a + b - 3d + 1$
23	23	$2(a - b) + 3d$	48	$\overline{a \oplus \bar{b} \vee c \wedge d}$
24	24	$\overline{a \vee \bar{b} \oplus c \vee d}$	49	$a + 3b - c$

Память команд (ПК) предназначена для хранения заранее составленной и загруженной в нее программы вычислений. При этом последовательность команд формируется так, чтобы реализовывалась заданный в табл. 14 алгоритм расчета. При запуске программы в ПК первая команда согласно заданию размещается в стеку с  $A_0^i$ , вторая - с  $A_1^i$ ,  $i + 1$  и т.д. 16-разрядный код каждой команды имеет формат, указанный в табл. 12.

Формат команды

Номер поля	3	2	1	0
Назначение	Тип перехода	KOp ALU	Адрес $B_Y$	Адрес $B_X$
поля	$P_1$	$P_0$	$X_4$	Операнда $X$
Разряд	15	14	13	12 11 10 9 8 7 6 5 4 3 2 1 0

Таблица 12

Для каждой команды в полях 0 и 1 размещается пятиразрядный двоичный код, соответствующий номерам ячеек ПД, хранищих операнды  $x$  и  $y$  для данной команды, а в поле 2 - KOp, выбираемый в соответствии с табл. 11. Поле 3 при выполнении KOp фактически не используется, так как при переходе к следующей команде, расположенной в соседней ячейке ПК используется простейший тип безусловного перехода типа "продолжить" с кодом  $P_2P_1P_0 = 111$ . В режиме "Загрузка" на вход  $W/K$  ПК должен быть подан сигнал уровня 1, а в режиме "Работа" (счет) - уровня 0.

Существенно то, что импульсы тактовой последовательности T2 запаздывают на половину такта относительно TI последовательности T1. Поэтому использование соответствующих микрокоманд (МК) только во второй половине тактового интервала, а при использовании последовательности T1 - в первой половине такта. С учетом этого для любой команда максимально возможная длительность командного цикла составляет один такт.

Устройство управления (УУ) - это конечный автомат (КА), который в процессе счета на протяжении всего цикла выполнения программы на каждом такте должен вырабатывать на своих выходах  $V_1$ ,  $V_2$ , ...,  $V_7$  такие управляющие сигналы, которые обеспечивают согласованную синхронную работу всех составных узлов вычислителя, заставив их реализовать заданный, программной алгоритм вычислений по заданному варианту. Схема рис. 30 позволяет перевести этот алгоритм на язык микроопераций, микрокоманд, а затем и на язык команд (см. п. 10.3 в разделе "Методические указания к материалу курса"), составить программу, на этой основе определить длину рабочего цикла УУ, построить для него граф. Так как работа УУ синхронизируется ТИ последовательности T1, то выходные сигналы  $V_1, \dots, V_7$  формируются в УУ в первой половине тактовых интервалов.

2.2. Приступая к программированию алгоритма вычислений, полностью составить его блок-схему. Детализируя изложение материала, рассмотрев конкретный пример. Допустим, необходимо вычислить  $G = 6d - b$  и результат выдать обратным кодом, т.е.  $f(a, b, c, d) = F = 6d - b$ . Пусть операнды  $b$  и  $a$  хранятся в РОН6 и РОН8. Тогда с учетом структуры вычислителя и технических возможностей АЛУ (см. табл. 11) блок-схема алгоритма может выглядеть так, как показано на рис. 31; при этом ведены вспомогательные переменные  $e = 2a$ ,  $f = 4d$ ,  $g = 6d$ , для временного хранения которых в ПД выделены РОН10, РОН11 и РОН12. Грабуем алгоритм вычислений реализуется по-следовательной выполнением команд K1,...K9.

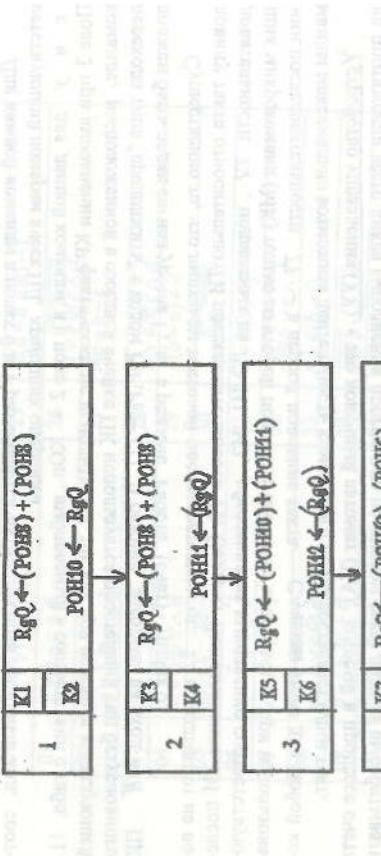
Программирование сводится к записи кодов всех перечисленных команд в той же последовательности в формате табл. 12, учитывая кодовую таблицу АЛУ (в поле 2) и номера (адреса) занятых РОН (в полях 0 и 1). Выбрав начальный адрес для размещения программы ПК равным  $\delta_{(0)} = 01000$ , получают текст программы (см. табл. 13). В табл. 13 в отдельном столбце - указать затраты времени (количества тактовых интервалов)  $T = T_0$ .

Для рассмотренного примера суммарные затраты на счет составляют 9 тактов. Следует отчетливо понимать, что вычислитель выполнит заданный  $V_1, \dots, V_7$  на выходах УУ на каждом такте будут принимать значения, указанные в табл. 13.

2.3. Синтез УУ (см. п. 4.3 в разделе "Методические указания к материалу курса"). Структура синтезируемого КА представлена на рис. 18. В процессе построения УУ необходимо определить количество  $n$ , к типу триггеров  $T_1, \dots, T_n$  в памяти KA, а также синтезировать два комбинационных устройства KU1 и KU2.

Таблица 13

Вариант программы



Число, для рассмотренного примера из табл. 13 следует, что  $R = 9$  тактам и  $n \geq \log_2 l_0$ , т.е.  $n = 4$ . Алгоритм работы КА задается табл. 14 и графом рис. 32: после подачи импульса запуска КА должен отработать полный рабочий цикл, выдавая на каждом из девяти тактов (в каждом рабочем состоянии) требуемые уровни выходных сигналов  $V_1, \dots, V_7$ . Кроме того, в конце девятого такта КА должен сформировать сигнал  $W=1$  сброса, который КА будет передан в состояние логик  $a_0$ . Формируемые в УУ на рабочих тактах внутренние управляющие сигналы  $V_1, \dots, V_7$  должны принимать такие значения, чтобы при их поступлении на адресные входы ПК, MS на входы ДЭИ...ДЭ2 обеспечивалось выполнение запрограммированного алгоритма вычислений.

В табл. 13 и 14 далее знаком "X" указываются безразличные (неопределенные) состояния

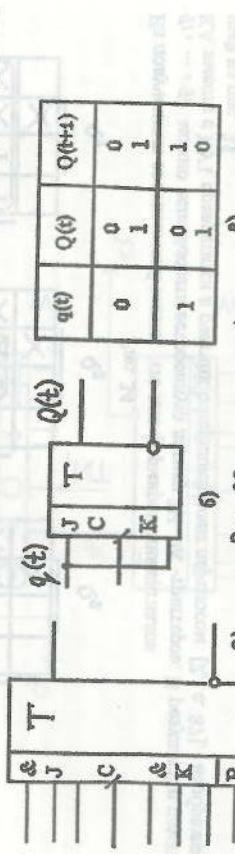
	1	K1 E2	$R_Q Q \leftarrow (PON3) + (PON5)$	$PON0 \leftarrow -R_Q Q$
1.1	1	K1	$R_Q Q \leftarrow (PON3) + (PON5)$	$PON0 \leftarrow -R_Q Q$
1.2	2	K3 K4	$R_Q Q \leftarrow (PON3) + (PON5)$	$PON1 \leftarrow -R_Q Q$
1.3	3	K5 K6	$R_Q Q \leftarrow (PON0) + (PON4)$	$PON2 \leftarrow -R_Q Q$
1.4	4	K7 K3	$R_Q Q \leftarrow (PON2) - (PON6)$	$PON3 \leftarrow -R_Q Q$
1.5	5	K9	$R_Q Q \leftarrow -R_Q Q$	

	Адрес ПК	$V_5 V_4 V_3 V_2 V_1$	$\rho_2 \rho_1 \rho_0$	$K_2 K_1 K_0$	Поле 0 $A_y$	Поле 1 $A_x$	Поле 2 $A_z$	Обозн. уровни $V_6 V_7$
K1	0 1 0 0 0	1 1 1 1 1	1 1 1 1 1	0 0 0 0 0	0 1 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 1
K2	0 1 0 0 1	1 1 1 1 1	1 1 1 1 1	0 0 0 0 1	0 1 0 0 1	0 0 0 0 1	0 0 0 0 1	0 0 0 0 1
K3	0 1 0 1 0	1 1 1 1 1	1 1 1 1 1	0 0 0 1 0	0 1 0 1 0	0 0 0 1 0	0 0 0 1 0	0 0 0 1 0
K4	0 1 0 1 1	1 1 1 1 1	1 1 1 1 1	0 0 0 1 1	0 1 0 1 1	0 0 0 1 1	0 0 0 1 1	0 0 0 1 0
K5	0 1 1 0 0	1 1 1 1 1	1 1 1 1 1	0 0 1 0 0	0 1 1 0 0	0 0 1 0 0	0 0 1 0 0	0 0 1 0 1
K6	0 1 1 0 1	1 1 1 1 1	1 1 1 1 1	0 0 1 0 1	0 1 1 0 1	0 0 1 0 1	0 0 1 0 1	0 0 1 0 1
K7	0 1 1 1 0	1 1 1 1 1	1 1 1 1 1	0 0 1 1 0	0 1 1 1 0	0 0 1 1 0	0 0 1 1 0	0 0 1 0 1
K8	0 1 1 1 1	1 1 1 1 1	1 1 1 1 1	0 0 1 1 1	0 1 1 1 1	0 0 1 1 1	0 0 1 1 1	0 0 1 0 1
K9	1 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 1

Таблица 14

Такт (состояние)	Текущее состояние КА $a(t_j)$				$\vec{V}(t_j) = (V_1(t_j), V_2(t_j), \dots, V_l(t_j), W)^T$
	$Q_1$	$Q_2$	$Q_3$	$Q_4$	
0	0	0	0	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
1	0	0	0	1	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
2	0	0	1	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
3	0	0	1	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
4	0	1	0	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
5	0	1	0	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
6	0	1	0	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
7	0	1	0	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
8	1	0	0	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
9	1	0	0	0	$V_1 V_2 V_3 V_4 V_5 V_6 V_7 W$
10/15	остальные				

Таблица функционирования КА



переменных, которые программируются по своему усмотрению может присваиваться значения 0 или 1; запись  $\hat{t}$  в табл. 14 означает принадлежность времени  $t$   $j$ -му тактовому интервалу.

Построение КА завершается синтезом КУ1 и КУ2. Первое из них КУ1 формирует сигналы  $q_1, \dots, q_n$ , управляемые работой триггеров  $T_1, \dots, T_n$ , памяти  $KA$ , чём обеспечивается переход КА из состояния  $a_0$  в состояния  $a_1, a_2$  и т.д. согласно графу рис. 32. Для построения таблицы истинности для КУ1 необходимо задаться типом триггера в памяти  $KA$ ; при этом целесообразно использовать универсальный JK-триггер со

б)

Рис. 33

а)

б)

Таблица 15

Такт <i>j</i>	Предыдущие состояния триггеров (входные сигналы КУ1) на <i>j</i> -ом такте			Последующие состояния триггеров (i+1)-м такте			Выходные сигналы (управление транзисторами) на <i>j</i> -ом такте		
	$Q_1(t_j)$	$Q_2(t_j)$	$Q_3(t_j)$	$Q_4(t_j)$	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$q_1$
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	1
2	0	0	1	0	0	1	0	0	1
3	0	0	0	1	0	0	1	0	1
4	0	0	1	0	0	1	0	0	1
5	0	0	1	0	0	1	0	0	1
6	0	0	1	0	0	1	0	0	1
7	0	0	1	0	0	1	0	0	1
8	0	0	1	1	0	1	0	0	1
9	1	0	0	0	0	0	1	0	0
10 / 16	1	0	0	0	0	0	1	0	x

встроенной логикой ЗИ по входам *J* и *K* (рис. 33 а), работаящий в счетном режиме. Учебная алгоритм работы триггера со счетным выходом (см. рис. 33 б, в), составляется таблица истинности для КУ1 (см. табл. 15).

2.4. Согласно методике п. 2.3 в разделе "Математическое выражение к материалу курса" на основании табл. 15 составляется языка Харло (рис. 34), с которых строятся выражения для МДЦФ:

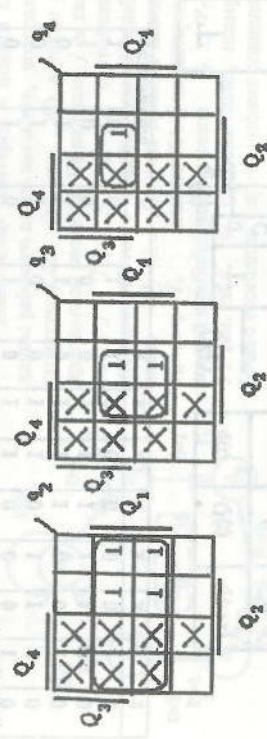


Рис. 34

Из полученных соотношений видно, что для формирования сигналов

$q_1, \dots, q_n$  можно использовать встроенную логику ЗИ ЛК-триггеров. В результате память КА вместе с КУ1 превратится в счетчик с параллельным переносом [2, с. 87], изображенный на рис. 35.

Комбинационное устройство КУ2, имея на своих выходах сигналы  $V_1, \dots, V_n, W$  согласно табл. 14. На рис. 36 для иллюстрации выбрано для  $V_1, V_2$  и  $W$  построены карты Карно и приведены их МДЦФ. Формулы для МДЦФ выходных переменных  $V_1, V_2, \dots, V_7, W$  позволяют построить принципиальную схему КУ2 (см. рис. 35), чем и завершается синтез

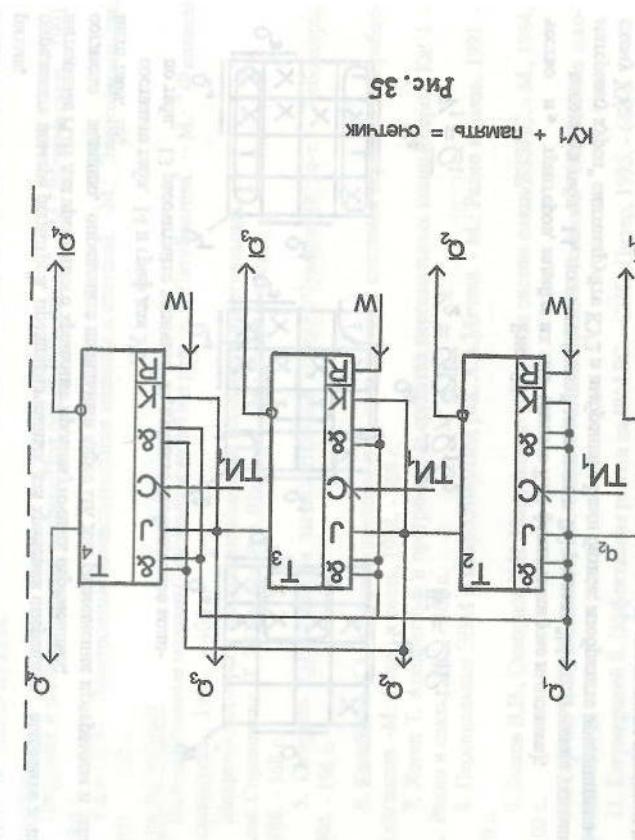
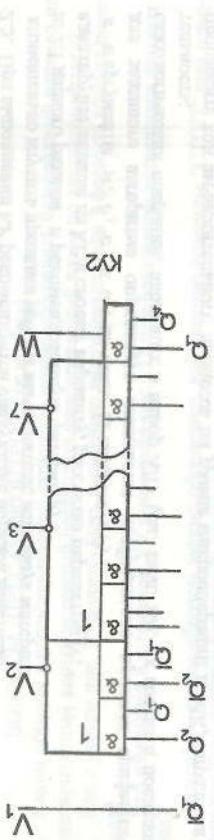
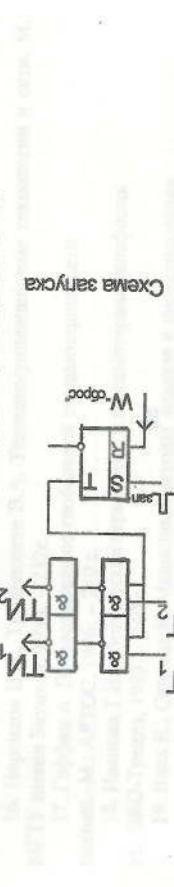


Рис. 35

схемы схемы. КУ1 + NMOS = схема



35

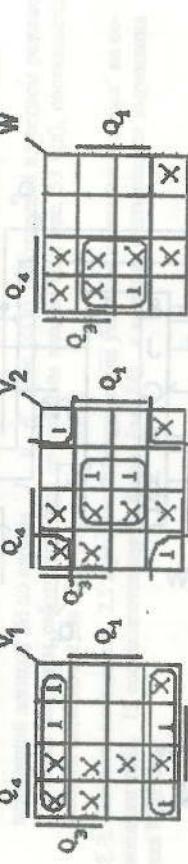
2.5. При выполнении КР рекомендуется следующий порядок действий:  
внимательно изучить принцип работы вычислителя, используя материал  
п. 2.1 данного раздела и рекомендованную литературу;  
адаптируйте задание на КР к своему варианту, рассчитав параметры  $N$ ,  
 $k$  и аргументы  $a, b, c$  и  $d$ ; по табл. 11 найдите  $f_k(k)$ ;  
для заданного алгоритма определите количество необходимых простых арифметиче-  
ских/логических операций, входящих в набор АЛУ (см. табл. 10), их состав и последова-  
тельность;

проследите ход вычислительного процесса на уровне микропрограмм и МК, определив на  
каждом такте необходимые уровни сигналов  $V_1, \dots, V_7$ ; затем составьте блок-схему алго-  
ритма;

определите номера регистров, предназначенных для хранения операндов, выделите дополн-  
ительные РОН для временного хранения промежуточных переносов;

согласно заданию, определите начальный адрес ПК для размещения программы и запол-  
ните табл. 13;

составьте табл. 14 и граф для УУ;  
по табл. 13 рассчитайте величину  $R$ , найдите необходимое коли-  
чество  $n$  триггеров, задайте их тип (сигнал КУ1 фактически уже выполнен);



$$Q_3 = \overline{Q_1} \\ V_1 = \overline{Q_2} \\ V_2 = Q_3 \vee \overline{Q_1} \overline{Q_2} \\ W = Q_4 Q_1$$

используя табл. 14, по стандартной методике п. 2.3 раздела "Методические узказания к  
материалу курса" синхронизируйте КУ2 в выбранном Вам базисе; изобразите принципиальную  
схему УУ;  
выполните вручную все расчеты, проверив их правильность повторным расчетом в де-  
сятичной системе счисления (для чётных вариантов);  
составьте отчет, обязательно включив в него исходные данные, текст программы (в  
виде табл. 13), блок-схему алгоритма, граф и принципиальную схему УУ, выполненные  
расчеты со всеми промежуточными величинами, результатами, картами Карно, таблицами и  
т.п.

Рис. 36

- ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ (к заприте)**
1. Каким образом в рассматриваемой структуре можно обеспечить безусловный переход на фиксированный адрес? условный переход на фиксированный адрес по заданному флагу?
  2. Как с учетом рис. 30 должно быть выполнено копирование поля 3 формата команд передачи?
  3. Что изменится в структуре УУ и на графике рис. 32 при реализации ветвящихся алгоритмов?
  4. Поясните, каким образом можно обеспечить выполнение команды "СТОП" при одновременной индикации конечного результата.
- СПИСОК ЛИТЕРАТУРЫ**
- Основная**
1. Цифровая и вычислительная техника /Под ред. Э.В.Баренкова. -М.: Радио и связь, 1991. - 464 с.
  2. Каган В.М. Электронные вычислительные машины и системы. -М.: Энерготомиздат, 1991. - 592 с.
  3. Вычислительные машины, системы и сети /Под ред. А.П.Платобрата. -М.: "Финанс и статистика", 1991. - 400 с.
  4. Микропроцессоры и микропроцессорные комплексы интегральных схем: Справочник. Т. 2/Под ред. В.А.Шахнова. -М.: Радио и связь, 1988. - 368 с.
  5. Смирнов Ю.П. История вычислительной техники Чувашский ун-т. - Чебоксары, 1994. - 196 с.
  6. Калабеков Б.А. Микропроцессоры и их применение в системах передачи и обработки сигналов. -М.: Радио и связь, 1988. - 368 с.
  7. Холан Г. Аппаратные и программные средства персональных компьютеров. Кн. 1. - М.: Радио и связь, 1995. 368 с.
  8. Персональные ЭВМ и микроЭВМ /Под ред. А.А.Мичева. - М.: Радио и связь, 1991. - 320 с.
  9. Быков В.И., Скаоринов Г.И. Импульсные устройства систем связи/БЭЗИС. - М., 1984. - 102 с.
  10. Сергеев Н.П., Вишкевич Н.П. Основы вычислительной техники. - М.: Высшая школа, 1988. - 311 с.
  11. Богумирский Б. Эффективная работа на IBM PC. - СПб.: Питер, 1995. - 688 с.
  12. Бобровский А.В., Треногин Н.Г. Микропроцессоры в технике связи /НЭИС. - Новосибирск, 1990. - 82 с.
  13. Белев С.Н., Скворцов Г.И. Аппаратно-программные комплексы электросвязи/МТУСИ. - М., 1993. - 42 с.
  14. Вербовецкий А.А. Основы проектирования баз данных. - М.: Радио и связь, 2000. - 36 с.
  15. Киселев А.В., Корнеев В.В., Гузов В.М. Трансьютеры: учебное пособие. Часть 1/М.: МТУСИ, 1998. - 30 с.
  16. Норенков И.П., Трудоношин В.А. Телекоммуникационные технологии и сети. М.: МТУ имени Баумана, 1998. - 232с.
  17. Гадфин А. Путеводитель по глобальной компьютерной сети Internet.-М.: АРТОС, 1996. - 240 с.
  18. Иванова Т.И. Абонентские терминалы и компьютерная телефония М.: ЭКО-Трендз, 1993. - 240 с.
  19. Влах И., Сингхал К. Машинные методы анализа и проектирования электронных схем. -М.: Радио и связь, 1988. - 559 с.