

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное
образовательное учреждение высшего образования
**«НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»**

УТВЕРЖДАЮ

Директор ИнЭО

_____ С.И. Качин

«_____» _____ 2015 г.

СХЕМОТЕХНИКА ЭВМ

Часть 1

Методические указания и индивидуальные задания
для студентов ИнЭО, обучающихся по направлению
230100 «Информатика и вычислительная техника»

Составитель **А.Н. Мальчуков**

Семестр	7	8
Кредиты		4
Лекции, часов	2	8
Лабораторные занятия, часов		8
Практические занятия, часов		2
Индивидуальные задания		№ 1
Самостоятельная работа, часов		133
Формы контроля		экзамен

Издательство
Томского политехнического университета
2015

УДК 004.4(076.5)

Схемотехника ЭВМ. Часть 1: метод. указ. и индивид. задания для студентов ИнЭО, обучающихся по направлению 230100 «Информатика и вычислительная техника» / сост. А.Н. Мальчуков; Томский политехнический университет. – Томск: Изд-во Томского политехнического университета, 2015. – 37 с.

Методические указания и индивидуальные задания рассмотрены и рекомендованы к изданию методическим семинаром кафедры _____ вычислительной _____ техники «___» _____ 2015 года, протокол № ____.

Зав. кафедрой ВТ,
профессор, доктор техн. наук _____ Н.Г. Марков

Аннотация

Методические указания и индивидуальные задания по дисциплине «Схемотехника ЭВМ. Часть 1» предназначены для студентов ИнЭО, обучающихся по направлению 230100 «Информатика и вычислительная техника». Данная дисциплина изучается в одном семестре.

Приведено содержание основных тем дисциплины и указаны темы практических занятий и перечень лабораторных работ. Приведены варианты индивидуального домашнего задания. Даны методические указания по выполнению индивидуального домашнего задания.

ОГЛАВЛЕНИЕ

1. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОСНОВНОЙ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ	4
2. СОДЕРЖАНИЕ ТЕОРЕТИЧЕСКОГО РАЗДЕЛА ДИСЦИПЛИНЫ	5
3. СОДЕРЖАНИЕ ПРАКТИЧЕСКОГО РАЗДЕЛА ДИСЦИПЛИНЫ	12
3.1. Тематика практических занятий	12
3.2. Перечень лабораторных работ для студентов, изучающих дисциплину по классической заочной форме.....	12
4. ИНДИВИДУАЛЬНЫЕ ДОМАШНИЕ ЗАДАНИЯ.....	14
4.1. Общие методические указания	14
4.2. Варианты ИДЗ и методические указания	16
5. ПРОМЕЖУТОЧНЫЙ КОНТРОЛЬ	27
5.1. Вопросы для подготовки к экзамену.....	27
5.2. Образец экзаменационного билета для студентов, изучающих дисциплину по классической заочной форме.....	29
6. УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ	33
6.1. Литература обязательная.....	33
6.2. Литература дополнительная	33
6.3. Интернет-ресурсы	33
ПРИЛОЖЕНИЕ	35

1. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОСНОВНОЙ ОБРАЗОВАТЕЛЬНОЙ ПРОГРАММЫ

Модуль «Схемотехника ЭВМ. Часть 1» входит в дисциплину «Электротехника, электроника и схемотехника» относится к профессиональному циклу дисциплин. При изучении дисциплины студенты знакомятся с базовыми элементами серий микросхем, триггерными устройствами, последовательностными и комбинационными функциональными узлами.

Для полноценного усвоения дисциплины большое значение имеют знания, умения, навыки и компетенции, приобретенные студентами, при изучении следующих дисциплин:

- «Теория информации» (Б2.В3.1).
- «Информатика» (Б2.Б1).
- «Дискретная математика» (Б2.В1.1).
- «Электротехника» (Б3.Б3.1).
- «Электроника» (Б3.Б3.2).
- «Теория автоматов» (Б3.В.1.1).

Для успешного усвоения дисциплины «Схемотехника ЭВМ. Часть 1» необходимы **знания** базовых понятий информатики, форм представления и преобразования информации в компьютере, теорию булевых функций; **умения** применять вычислительную технику для решения практических задач, оперировать элементами алгебры логики, выполнять синтез автоматов, проводить анализ схем управляющих автоматов. **Владеть** навыками работы на персональном компьютере.

Пререквизитами данной дисциплины являются: «Теория информации», «Информатика», «Дискретная математика», «Электротехника», «Электроника», «Теория автоматов».

Кореквизиты: нет.

2. СОДЕРЖАНИЕ ТЕОРЕТИЧЕСКОГО РАЗДЕЛА ДИСЦИПЛИНЫ

Тема 1. Основные характеристики и классификация интегральных схем

Понятие интегральной схемы (ИС). Классификации ИС. Понятие серии микросхем, типа микросхем. Уровень интеграции. Условное обозначение микросхем согласно ГОСТ.

Рекомендуемая литература: [1, 4, 5, 9].

Методические указания

Необходимо изучить классификацию интегральных схем, уяснить понятие интегральной схемы и её серии и тип, разобраться в условном обозначении микросхем.

Вопросы и задания для самоконтроля

1. Дайте определение понятия *интегральная схема*.
2. Укажите составляющие стоимости ИС и пути ее уменьшения.
3. Назовите типы ИС по технологическому признаку.
4. Дайте определение понятия *полупроводниковая ИС*.
5. Дайте определение понятия *гибридная ИС*.
6. Дайте определение понятия *пленочная ИС*.
7. Дайте определение понятия *серия ИС*.
8. Дайте определение термина *тип (типономинал) микросхемы*.
9. Охарактеризуйте отечественное и международное УГО логических элементов.
10. Дайте классификацию ИС по степени интеграции.
11. Дайте определение понятий *степень интеграции* и *функциональная сложность ИС*.
12. Назовите основные электрические параметры ИС.

Тема 2. Элементная база серий малых, средних, больших ИС и микропроцессоров

Классификация цифровых схем по принципу схемотехнического построения. Элементы транзисторно-транзисторной логики (ТТЛ). Микросхемы ТТЛ с транзисторами Шоттки (ТТЛШ). Элемент с открытым коллектором, элемент с тремя состояниями выхода, использование

этих элементов. Цифровые ИМС на униполярных транзисторах (р-МОП, n-МОП, КМОП). Элемент КМОП с тремя состояниями выхода. Сопряжение микросхем ТТЛШ и КМОП. Оптроны и оптоэлектронные интегральные схемы, их применение.

Рекомендуемая литература: [1, 2, 4-7, 9].

Методические указания

Необходимо разобраться с принципами работы базовых элементов ТТЛ, ТТЛШ, n-МОП и КМОП. Усвоить причины бросков токов в цепях, возникающих при использовании интегральных микросхем. Изучить понятие нагрузочная способность, уметь рассчитывать её для разных серий. Разобраться в схемах гальванической развязки узлов.

Вопросы и задания для самоконтроля

1. Приведите схему кроссбара с использованием молекулярного ключа из молекул ротаксанов.

2. Какие типы ключей используются в кроссбар архитектурах?

3. Какие технологии используются при производстве наносхем? Каковы, на Ваш взгляд, их достоинства и недостатки?

4. Можно ли устранить дефекты кроссбар-структур за счет более тщательного соблюдения технологического процесса изготовления?

5. Какие вопросы необходимо решить для внедрения в практику кроссбар-архитектур?

6. Приведите схему логического элемента «И» на диодах для положительной логики и +ЕП. Приведите временные диаграммы на входах и выходе.

7. Приведите схему логического элемента «ИЛИ» на диодах для положительной логики и +ЕП. Приведите временные диаграммы на входах и выходе.

8. Чем ограничивается число входов у элементов «И», «ИЛИ» на диодах?

9. Какой сигнал будет на выходе двухвходового элемента «И» на диодах, если:

- один из входов «висит» в воздухе, а на другой подан сигнал от источника сигнала;
- оба входа «висят» в воздухе;
- на один из входов подан сигнал от источника сигнала, второй вход подключен к «земле».

10. Какой сигнал будет на выходе двухвходового элемента «ИЛИ» на диодах, если:

- один из входов «висит» в воздухе, а на другой подан сигнал от источника сигнала;
- оба входа «висят» в воздухе;
- на один из входов подан сигнал от источника сигнала, второй вход подключен к «земле».

11. Как на логическом элементе «И» реализовать функцию «ИЛИ»?
12. Нарисуйте схему базового элемента серии ИС ТТЛ.
13. Назовите назначение каскадов базового ТТЛ-элемента.
14. Охарактеризуйте работу базового ТТЛ-элемента.
15. Нарисуйте идеализированные временные диаграммы на входах, выходе, эмиттере и коллекторе транзистора фазорасщепительного каскада базового элемента ТТЛ серий.
16. Что дает применение транзистора Шотки при построении элемента ТТЛШ?
17. Нарисуйте схему базового ТТЛШ-элемента серий К533, К555.
18. Нарисуйте схему базового ТТЛШ-элемента серий К530, К531.
19. Нарисуйте схему базового ТТЛШ-элемента серий К1533, К1531.
20. В каком состоянии выхода логического элемента ТТЛ, ТТЛШ ИС имеет минимальную нагрузочную способность? Объясните почему.
21. В каком состоянии выхода логический элемент И-НЕ ТТЛ, ТТЛШ ИС потребляет минимальную мощность по цепи питания? Дайте пояснение.
22. Как поступать при проектировании с остающейся неиспользуемой частью логической ИС?
23. Как поступать при проектировании с неиспользуемыми входами используемых логических элементов ИС?
24. Как можно повысить выходное напряжение ТТЛ, ТТЛШ-элементов/
25. Почему возникают в интегральных микросхемах ТТЛ, ТТЛШ броски тока в цепи питания?
26. Каким образом борются с бросками тока в цепи питания?
27. Нарисуйте принципиальную схему элемента И-ИЛИ-НЕ.
28. Нарисуйте принципиальную схему расширителя по ИЛИ.
29. Нарисуйте принципиальную схему элемента с открытым коллектором.
30. Каким образом получить монтажное «И» на элементах с открытым коллектором.
31. Назовите варианты подключения светодиодов к логическим элементам.

Тема 3. Триггерные устройства

Классификация триггерных устройств. Основные типы триггеров: RS, D, T, DV, TV, JK. Асинхронные триггеры, синхронные триггеры, тактируемые уровнем (статические); триггеры, тактируемые фронтом (динамические); одноступенчатые и многоступенчатые триггеры.

Рекомендуемая литература: [1-3, 6, 9].

Методические указания

Необходимо знать классификации триггеров, уметь рисовать схемы различных триггеров, объяснять принцип их работы на временных диаграммах, считать задержку триггеру. Уметь строить различные триггеры на основе RS- или JK- триггере.

Вопросы и задания для самоконтроля

1. Каково назначение триггеров?
2. Чем различаются между собой одно- и двухступенчатые триггеры?
3. Чем отличаются триггеры с динамическим управлением от триггеров со статическим управлением?
4. Какие свойства схемы делают её триггером?
5. Какой триггер называется счётным?
6. Какой сигнал является установочным для схемы триггера на элементах И-НЕ? Какой сигнал является установочным для схемы триггера на элементах ИЛИ-НЕ?
7. Назовите классификацию триггеров.
8. Охарактеризуйте асинхронный RS-триггер (схемы на элементах И-НЕ, ИЛИ-НЕ, таблицы функционирования и временные диаграммы, время задержки).
9. Охарактеризуйте синхронный (статический) одноступенчатый и двухступенчатый RS-триггеры (функциональная схема на элементах И-НЕ, ИЛИ-НЕ, работа, время задержки).
10. Охарактеризуйте синхронный (динамический) RS-триггер (функциональная схема на элементах И-НЕ, работа, время задержки).
11. Каким образом строятся D-, T-, JK-триггеры на основе синхронных (одноступенчатых, двухступенчатых, динамических) RS-триггеров?

Тема 4. Функциональные узлы последовательностного типа

Регистры и регистровые файлы. Классификация регистров. Регистровые файлы. Счетчики. Классификация счётчиков. Двоичные и недвоичные счётчики. Счётчики прямого и обратного счётов. Реверсивные счётчики. Методы повышения быстродействия счётчиков. Двоично-кодированные счётчики с произвольным модулем счёта.

Рекомендуемая литература: [1-3, 6, 9].

Методические указания

Необходимо изучить принципы построения, функционирования и условно-графическое обозначение регистров и счётчиков. Разобраться в методах повышения быстродействия счётчиков. Уметь составлять схемы регистров с разными загрузками и выдачей данных, счётчиков с разным направлением счёта и модулем счёта, строить память требуемого объёма на стандартных ИС.

Вопросы и задания для самоконтроля

1. Охарактеризуйте регистры (классификация, схемы сдвигающих регистров: DSL, DSR, реверсивные).
2. Охарактеризуйте регистровые файлы (описание, ИС К555ИР26: функциональная схема, таблица функционирования).
3. Каким образом строится память требуемого объёма на стандартных ИС 1К-1 (схемы: ЗУ 1К-4, 4К-1, 4К-4)?
4. Охарактеризуйте счетчики (классификация, двоичные счётчики прямого и обратного счёта, таблицы функционирования и временные диаграммы работы).
5. Охарактеризуйте счетчики (методы повышения быстродействия двоичных счётчиков, недвоичные счётчики: Джонсона, 1 из N – схемы, временные диаграммы работы, таблицы функционирования).

Тема 5. Функциональные узлы комбинационного типа

Мультиплексоры и демультимплексоры. Дешифраторы и шифраторы. Сумматоры. Схемы одноразрядного сумматора. Многоразрядные сумматоры с последовательным, параллельным переносом. Сумматоры групповой структуры. Арифметико-логические устройства и блоки ускоренного переноса. Матричные умножители. Компараторы. Преобразователи кодов. Схемы контроля.

Рекомендуемая литература: [1-3, 6, 9].

Методические указания

Необходимо изучить принципы построения, функционирования и условно-графическое обозначение дешифраторов, шифраторов, мультиплекторов, демультимплекторов, компараторов, сумматоров, АЛУ, матричных умножителей, преобразователей кодов и схем контроля. Уметь наращивать разрядность дешифраторов, шифраторов, мультиплекторов, АЛУ, МСБ.

Вопросы и задания для самоконтроля

1. Каким образом реализуются мультиплексоры (назначение, таблица функционирования, мультиплексная формула, реализация мультиплексора 4-1 на элементах И-НЕ, наращивание числа входов мультиплексора: реализовать мультиплексор 32-1 на мультиплексорах 8-1 с тремя состояниями выхода и дешифраторе)?.

2. Назовите применение мультиплекторов для построения функциональных узлов. Демультимплексоры (описание, УГО, таблица функционирования).

3. Поясните схемотехническую реализацию двоичных дешифраторов (описание функционирования, обозначение на функциональной схеме, схема дешифратора 3-8 на элементах И, наращивание размерности дешифратора: реализовать схему двоичного дешифратора 5-32 на дешифраторах 2-4, 3-8 ТТЛШ-серий).

4. Поясните принципы работы двоичных и приоритетных шифраторов (назначение двоичного шифратора, его условное обозначение на функциональной схеме; функция, выполняемая приоритетным шифратором, таблица функционирования восьмиразрядного приоритетного шифратора, выражения для выходов приоритетного шифратора, обозначение на функциональной схеме приоритетного шифратора).

5. Каким образом наращиваются размерности приоритетного шифратора?

6. Для чего нужны указатели старшей единицы?

7. Поясните принципы работы компараторов (определение компаратора, выражения для компаратора: признак равенства разрядов, признак неравенства разрядов, признак равенства слов; принципиальная схема четырехразрядного компаратора на основе сумматора).

8. Для чего нужно наращивание разрядности сравниваемых слов ИС компараторов (схемы последовательного соединения,

параллельного, таблица истинности ИС К555СП1, схема компаратора для сравнения 24-х разрядных слов на ИС К555СП1)?

9. Поясните синтез схемы одноразрядного сумматора (таблица функционирования, СДНФ функций суммы и переноса, принципиальная схема одноразрядного сумматора на элементах И-НЕ, обозначение на функциональной схеме).

10. Поясните принципы работы сумматоров групповой структуры (групповой сумматор с цепным переносом, сумматор с условным переносом, сумматор с параллельным и межгрупповым переносом).

11. Поясните принципы работы АЛУ и блоков ускоренного переноса.

12. Поясните принципы работы матричных умножителей (математические выражения, схема множительно-суммирующего блока для четырехразрядных сомножителей).

13. Поясните принципы работы преобразователей кодов.

14. Поясните организацию контроля правильности функционирования устройств обработки данных.

Тема 6. Синхронизация в цифровых устройствах

Переходные процессы в логических схемах. Временные состязания сигналов (эффект «гонок»). Назначение синхронизации. Система двухфазной синхронизации. Однофазная синхронизация.

Рекомендуемая литература: [1-3, 6, 9].

Методические указания

Необходимо изучить тактирование, синхронизацию в цифровых устройствах со статическим и динамическим управлением.

Вопросы и задания для самоконтроля

1. Перечислите переходные процессы в логических схемах.
2. Что такое временные состязания сигналов (эффект «гонок»)?
3. Назовите назначение синхронизации?
4. Дайте определение понятий *тактирование, синхронизация статических ЦУ, синхронизация динамических ЦУ*.

3. СОДЕРЖАНИЕ ПРАКТИЧЕСКОГО РАЗДЕЛА ДИСЦИПЛИНЫ

3.1. Тематика практических занятий

В данном разделе приведены темы практических занятий по дисциплине «Схемотехника ЭВМ. Часть 1».

При проведении занятий преподаватель выбирает тему на своё усмотрение. В темах указаны названия разделов из учебного пособия [1], где в конце каждой главы приведены задачи, решение которые разбираются на практических занятиях.

Тема 1. Элементная база серий малых, средних, больших ИС и микропроцессоров (2 часа)

Рекомендуемая литература: [1, 2, 4-7, 9].

Тема 2. Триггерные устройства (2 часа)

Рекомендуемая литература: [1-3, 6, 9].

Тема 3. Функциональные узлы последовательностного типа (2 часа)

Рекомендуемая литература: [1-3, 6, 9].

Тема 4. Функциональные узлы комбинационного типа (2 часа)

Рекомендуемая литература: [1-3, 6, 9].

Тема 5. Синхронизация в цифровых устройствах (2 часа)

Рекомендуемая литература: [1-3, 6, 9].

3.2. Перечень лабораторных работ для студентов, изучающих дисциплину по классической заочной форме

Лабораторный практикум является составной частью учебного процесса по данной дисциплине.

Целью лабораторных работ, является изучение особенностей работы, параметров и характеристик основных типов триггерных устройств, счётчиков, дешифраторов и мультиплексоров. Лабораторные работы призваны закрепить теоретические знания по изучаемому курсу.

В данном разделе приведен перечень лабораторных работ для студентов, изучающих дисциплину по классической заочной форме (КЗФ).

Лабораторные работы проходят во время сессии и выполняются на персональных компьютерах в компьютерных классах. Для выполнения цикла лабораторных работ предусмотрено методическое указание и требования к оформлению отчета. При проведении занятий преподаватель выбирает перечень лабораторных работ на своё усмотрение.

Студенты выполняют лабораторные работы по заданию преподавателя.

Рекомендуемая литература: [10].

Лабораторная работа № 1

«Изучение основ работы в САПР MAX+plus II 10.2 BASELINE» (2 часа)

Цель работы: получить знания и опыт проектирования цифровых устройств в САПР MAX+PLUS II.

Лабораторная работа № 2

«Исследование работы триггерных устройств» (2 часа)

Цель работы: изучить структуру и алгоритмы работы асинхронных и синхронных триггеров.

Лабораторная работа № 3

«Исследование работы функциональных узлов последовательностного типа: счётчики» (4 часа)

Цель работы: ознакомиться с принципом работы суммирующих и вычитающих счетчиков, изучить способы изменения коэффициента пересчёта счётчика.

Лабораторная работа № 4

«Исследование работы функциональных узлов комбинационного типа: дешифраторы» (2 часа)

Цель работы: ознакомиться с принципом работы дешифратора, научиться строить любую функцию с одним разрядом выхода на дешифраторе (2 часа).

Лабораторная работа № 5

«Исследование работы функциональных узлов комбинационного типа: мультиплексоры» (2 часа)

Цель работы: ознакомиться с принципом работы мультиплексора, научиться строить любую функцию с одним разрядом выхода на мультиплексоре.

4. ИНДИВИДУАЛЬНЫЕ ДОМАШНИЕ ЗАДАНИЯ

4.1. Общие методические указания

В соответствии с учебным графиком предусмотрено выполнение одного индивидуального домашнего задания (ИДЗ) на тему «Проектирование логической схемы на МИС».

При выполнении индивидуального задания студентам необходимо:

- разработать минимум две схемы (для вариантов задания № 3, № 4 – одну), реализующие указанную в задании логическую функцию;
- описать функционирование заданной схемы (вариант задания);
- привести расчёты минимизации функции;
- привести варианты функциональной схемы;
- синтез вариантов принципиальной схемы;
- расчёт максимальной задержки в разработанных принципиальных схемах;
- расчёт ёмкости фильтрующих конденсаторов;
- расчёт потребляемого спроектированной схемой тока;
- разработать устройство неавтоматизированного тестирования изготовленного изделия;

Разделы, которые должна содержать записка ИДЗ:

- цель работы;
- описание задания;
- минимизация функции, таблица функционирования, формулы;
- функциональная схема;
- синтез принципиальной схемы;
- расчёт задержек, токов и ёмкости;
- неавтоматизированный контроль;
- список использованных источников;
- принципиальная схема, оформленная по ЕСКД с перечнем элементов;
- принципиальная схема устройства тестирования, оформленная по ЕСКД с перечнем элементов.

Номер варианта индивидуального задания определяется по последним двум цифрам номера зачетной книжки. Если образуемое ими число больше 28, то следует взять сумму этих цифр. Например, если номер зачетной книжки 3-8В10/11, то номер варианта задания равен 11. Если номер зачетной книжки 3-8В10/29, то номер варианта задания равен 11.

Соответствие ИДЗ и задач представлено в табл. 1.

Требования к оформлению ИДЗ

При оформлении индивидуального домашнего задания необходимо соблюдать следующие требования.

1. Индивидуальное задание должно иметь титульный лист, оформленный в соответствии со стандартами ТПУ [8]. На титульном листе указываются номер индивидуального задания, номер варианта, название дисциплины; фамилия, имя, отчество студента; номер группы, шифр. **Образец оформления и шаблон титульного листа** размещены на сайте ИнЭО в разделе СТУДЕНТУ → ДОКУМЕНТЫ (<http://portal.tpu.ru/ido-tpu>).

2. Каждое индивидуальное задание оформляется отдельно.

Студенты, изучающие дисциплину **по классической заочной форме**, оформляют индивидуальные задания в отдельных тетрадах.

Студенты, изучающие дисциплину **с применением дистанционных технологий**, оформляют индивидуальные задания в отдельных файлах.

3. Текст индивидуального задания набирается в текстовом процессоре Microsoft Word. Шрифт – Times New Roman, размер 12–14 pt, для набора формул рекомендуется использовать редактор формул Microsoft Equation или MathType.

4. Решения задач следует располагать в той же последовательности, что и задания.

5. Каждая задача должна начинаться с условия задачи, ниже краткая запись задачи, если необходимо – рисунок с условными обозначениями, которые в дальнейшем будут использованы при решении задач.

6. Решение должно быть подробным, с включением промежуточных расчётов и указанием использованных формул.

7. Страницы задания должны иметь сквозную нумерацию.

8. В задание включается список использованной литературы.

Если работа не соответствует требованиям, студент получает оценку «не зачтено». В этом случае работа должна быть исправлена и повторно предоставлена преподавателю. При доработке необходимо включить в текст дополнительные вопросы, полученные после проверки работы преподавателем, и ответы на эти вопросы.

Студент, не получивший положительной аттестации по индивидуальному заданию, не допускается к сдаче экзамена по данной дисциплине.

4.2. Варианты ИДЗ и методические указания

При выполнении данного индивидуального задания помимо знаний по схемотехнике требуются знания методов синтеза логических схем, полученные при изучении дисциплины «Теория автоматов». При разработке логической схемы можно рекомендовать следующую последовательность действий:

Этап 1. Составление таблицы истинности. Часто встречающийся на практике способ задания схемы – это объяснение работы схемы на понятнейшем уровне в виде набора фраз обычного языка (например, русского). Сложность этапа связана с тем, что задание описывается неформальными терминами, допускающими неоднозначную трактовку. Основная цель этапа – формализация задания, в процессе которой нужно продумать значение функции для каждой комбинации значений аргументов, при необходимости поставить заказчику уточняющие вопросы. Результат этапа – таблица истинности. Это уже задание, неоднозначное толкование которого невозможно. Если таблица, из-за значительного числа переменных оказывается слишком громоздкой, записывают аналитическую формулу. В задании № 1 для исключения неоднозначности либо задается таблица истинности, либо задаются логические выражения для выходных функций.

Этап 2. Если функция определена не на всех наборах аргументов, то нужно ликвидировать неоднозначность таблицы. При малом числе неопределенных значений лучше рассмотреть несколько вариантов. Если же число или безразличных значений, или самих аргументов велико, то, возможно, придется доопределять функцию или всеми нулями, или всеми единицами - так, чтобы в результате уменьшить число членов совершенной дизъюнктивной нормальной формы (СДНФ) прямой функции или инверсии.

Этап 3. По полностью определенной таблице составить СДНФ. Если рассматривается несколько вариантов доопределения или есть надежда, что инверсия функции будет реализовываться лучше, то в дальнейшей работе будут участвовать несколько вариантов СДНФ.

Этап 4. Минимизировать СДНФ известными вам методами. **Примечание.** При синтезе логических схем может встретиться задача, когда таблица будет очень большой и описание ее с помощью СДНФ будет очень громоздким. Для таких схем рекомендуется использовать метод декомпозиции задачи – разбиение ее на более простые подзадачи, эвристическое поэтапное нахождение вначале работоспособной схемы, а затем ее оптимизация.

Этап 5. Реализовать получившиеся дизъюнктивные формы на логическом базисе. Попробовать варианты реализации на «И-ИЛИ-НЕ», на «И-НЕ», «И», «ИЛИ», «исключающее ИЛИ» и т.д.

Этап 6. Выбрать из полученных на этапе 5 два варианта схем наиболее подходящие с точки зрения поставленной цели. При разработке логических устройств на ИС такими целями могут быть:

- минимум общего количества ИС;
- минимум различных типономиналов ИС;
- минимальная задержка;
- минимум стоимости реализации;
- максимум использования функциональных свойств выбранных ИС;
- реализация только на имеющихся в наличии ИС.

В разделе «**минимизация функции, таблица функционирования, формулы**» после расчётов необходимо указать чёткое соответствие набору формул своему варианту функциональной схемы.

В разделе «**функциональная схема**» приводятся варианты функциональной схемы (и описания), которые должны соответствовать своему набору формул.

В разделе «**синтез принципиальной схемы**» необходимо провести анализ функциональных схем на предмет наличия необходимых ИС в заданной по заданию серии. Если необходимых элементов нет, привести решение замены таких ИС на имеющиеся (например, не хватает входов, привести каким образом будет осуществляться наращивание количества входов, как будут каскадироваться ИС). Привести описание и условно-графическое изображение (УГО) с распиновкой каждой ИС, которая будет использоваться. Привести параметры каждого элемента: потребляемый ток, задержка элемента. В схеме предусмотреть разъём для подключения устройства неавтоматизированного тестирования. Входы схемы с разъёма не должны иметь коэффициент разветвления больше 1. Выходы схемы, идущие на разъём, должны иметь нагрузочную способность, соответствующую своей серии.

В разделе «**расчёт задержек, токов и ёмкости**» необходимо привести расчёт потребляемого каждым вариантом схемы силы тока и требующей суммарной ёмкости фильтрующих конденсаторов (см. [9, стр. 13]). Рассчитывается задержка для самой длинной цепи в схеме. Указывается порядок следования корпусов DD1-DD3- и т.д., чтобы имелась возможность проверить, была ли взята самая длинная цепь в схеме.

В разделе «**неавтоматизированное тестирование**» необходимо привести:

- словесное описание предназначения схемы и её работы;

- индикация (описание, параметры, внешний вид);
- расчёт нагрузочного резистора, выбор номинала;
- разъёмы (описание, параметры, внешний вид);
- кнопки, переключатели (описание, параметры, внешний вид, схема включения).

Сама схема неавтоматизированного тестирования должна подключаться через разъём к основной схеме, для этого в основной схеме разъём надо предусмотреть, а так же съём входных сигналов с разъёма и подачу выходных сигналов на разъём. Схема тестирования должна питаться от основной схемы, т.е. от тестируемой схемы. Устройство должно позволять задать любую комбинацию входных сигналов для тестируемой схемы и осуществлять индикацию всех выходов тестируемой схемы.

Раздел «**принципиальная схема, оформленная по ЕСКД**» идёт приложением. В нём приводится принципиальная схема, за ней должен идти её перечень элементов. Пример оформления схемы и перечня элементов см. в приложении.

На схеме нумерация корпусов идёт слева-направо, сверху-вниз. Если корпус разделён, то после номера корпуса ставится точка и указывается номер её части, как показано в примере. Если корпус не разделён, т.е. в одном месте указаны все элементы корпуса, то указывается просто номер корпуса, например DD1. Номер части через точку не указывается.

В перечне элементов разделу сортируются в алфавитном порядке. Внутри раздела согласно первому номеру элементов. Например, в разделе микросхемы есть два корпуса ЛН1 (DD2, DD4), один корпус ЛП5 (DD1) и один корпус ЛЕ4 (DD3). В этом случае в разделе микросхем первым списке должен идти DD1, затем в одной строчке DD2,4 и за ним в другой строчке DD3.

Таблица 1

Варианты ИДЗ

№ варианта ИДЗ	Номер задачи	Используемая серия ИС
1	1	K155
2	2	K530
3	3	K533
4	4	K555
5	5	K531
6	6	K1531
7	7	K1533
8	8	K155
9	9	K530
10	10	K533

Окончание таблицы 1

№ варианта ИДЗ	Номер задания	Используемая серия ИС
11	11	K555
12	12	K531
13	13	K1531
14	14	K1533
15	1	K1533
16	2	K1531
17	3	K555
18	4	K530
19	5	K533
20	6	K531
21	7	K155
22	8	K1533
23	9	K1531
24	10	K555
25	11	K530
26	12	K533
27	13	K531
28	14	K155

Варианты проектируемых логических схем

Задача №1

Разработать схему преобразователя восьмиразрядного слова в RLL – код. При преобразовании слова разбиваются на два четырехразрядных полуслова, которые преобразуются независимо друг от друга.

Двоичное полуслово (входы половины схемы)				Кодовая группа RLL (выходы половины схемы)				
x ₃	x ₂	x ₁	x ₀	y ₄	y ₃	y ₂	y ₁	y ₀
0	0	0	0	1	1	0	0	1
0	0	0	1	1	1	0	1	1
0	0	1	0	1	0	0	1	0
0	0	1	1	1	0	0	1	1
0	1	0	0	1	1	1	0	1
0	1	0	1	1	0	1	0	1
0	1	1	0	1	0	1	1	0
0	1	1	1	1	0	1	1	1
1	0	0	0	1	1	0	1	0
1	0	0	1	0	1	0	0	1
1	0	1	0	0	1	0	1	0
1	0	1	1	0	1	0	1	1
1	1	0	0	1	1	1	1	0
1	1	0	1	0	1	1	0	1
1	1	1	0	0	1	1	1	0
1	1	1	1	0	1	1	1	1

Задача №2

Разработать схему преобразователя 10-разрядного RLL – кода в восьмиразрядный двоичный код. При преобразовании 10-разрядный RLL – код разбивается на два пятиразрядных, которые преобразуются независимо друг от друга.

Двоичное полуслово (выходы половины схемы)				Кодовая группа RLL (входы половины схемы)				
X ₃	X ₂	X ₁	X ₀	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	1	1	0	0	1
0	0	0	1	1	1	0	1	1
0	0	1	0	1	0	0	1	0
0	0	1	1	1	0	0	1	1
0	1	0	0	1	1	1	0	1
0	1	0	1	1	0	1	0	1
0	1	1	0	1	0	1	1	0
0	1	1	1	1	0	1	1	1
1	0	0	0	1	1	0	1	0
1	0	0	1	0	1	0	0	1
1	0	1	0	0	1	0	1	0
1	0	1	1	0	1	0	1	1
1	1	0	0	1	1	1	1	0
1	1	0	1	0	1	1	0	1
1	1	1	0	0	1	1	1	0
1	1	1	1	0	1	1	1	0
1	1	1	1	1	0	1	1	1

Задача №3

Разработать схему кодера четырехразрядного параллельного АЦП. Закон функционирования кода приведен в таблице.

Входы схемы															Выходы схемы			
X ₁₄	X ₁₃	X ₁₂	X ₁₁	X ₁₀	X ₉	X ₈	X ₇	X ₆	X ₅	X ₄	X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1
0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	1	1	1
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	1
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Задача №4

Разработать схему преобразователя двоичного кода знаков от 0 до F в код управления семисегментным индикатором. Закон функционирования приведен в таблице. При проектировании обеспечить минимально возможное количество МИС.

Отображаемый знак	Входы проектируемой схемы				Выходы проектируемой схемы - входы индикатора						
	x ₃	x ₂	x ₁	x ₀	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
A	1	0	1	0	1	1	1	0	1	1	1
B	1	0	1	1	0	0	1	1	1	1	1
C	1	1	0	0	0	0	0	1	1	0	1
D	1	1	0	1	0	1	1	1	1	0	1
E	1	1	1	0	1	0	0	1	1	1	1
F	1	1	1	1	1	0	0	0	1	1	1

Задача №5

Разработать схему, формирующую контрольные символы кода Хэмминга (q₁, q₂, q₃, q₄) для 16-разрядного параллельного двоичного кода согласно следующим выражениям:

$$q_1 = U_1 \oplus U_2 \oplus U_4 \oplus U_5 \oplus U_7 \oplus U_9 \oplus U_{11} \oplus U_{12} \oplus U_{14} \oplus U_{16};$$

$$q_2 = U_1 \oplus U_3 \oplus U_4 \oplus U_6 \oplus U_7 \oplus U_{10} \oplus U_{11} \oplus U_{13} \oplus U_{14};$$

$$q_3 = U_2 \oplus U_3 \oplus U_4 \oplus U_8 \oplus U_9 \oplus U_{10} \oplus U_{11};$$

$$q_4 = U_5 \oplus U_6 \oplus U_7 \oplus U_8 \oplus U_9 \oplus U_{10} \oplus U_{11};$$

$$q_5 = U_{12} \oplus U_{13} \oplus U_{14} \oplus U_{15} \oplus U_{16}.$$

Задача №6

Разработать схему, формирующую для поступившего параллельного 21-разрядного кода Хэмминга значения указателя (синдрома) ошибки по следующим выражениям:

$$b_1 = q_1 \oplus U_1 \oplus U_2 \oplus U_4 \oplus U_5 \oplus U_7 \oplus U_9 \oplus U_{11} \oplus U_{12} \oplus U_{14} \oplus U_{16};$$

$$b_2 = q_2 \oplus U_1 \oplus U_3 \oplus U_4 \oplus U_6 \oplus U_7 \oplus U_{10} \oplus U_{11} \oplus U_{13} \oplus U_{14};$$

$$b_3 = q_3 \oplus U_2 \oplus U_3 \oplus U_4 \oplus U_8 \oplus U_9 \oplus U_{10} \oplus U_{11};$$

$$b_4 = q_4 \oplus U_5 \oplus U_6 \oplus U_7 \oplus U_8 \oplus U_9 \oplus U_{10} \oplus U_{11};$$

$$b_5 = q_5 \oplus U_{12} \oplus U_{13} \oplus U_{14} \oplus U_{15} \oplus U_{16}.$$

Задача №7

Разработать принципиальную схему устройства, реализующего заданную таблицу истинности.

Входы									Выходы				
IE	R ₇	R ₆	R ₅	R ₄	R ₃	R ₂	R ₁	R ₀	a ₂	a ₁	a ₀	G	EO
1	1	x	x	x	x	x	x	x	1	1	1	1	0
1	0	1	x	x	x	x	x	x	1	1	0	1	0
1	0	0	1	x	x	x	x	x	1	0	1	1	0
1	0	0	0	1	x	x	x	x	1	0	0	1	0
1	0	0	0	0	1	x	x	x	0	1	1	1	0
1	0	0	0	0	0	1	x	x	0	1	0	1	0
1	0	0	0	0	0	0	1	x	0	0	1	1	0
1	0	0	0	0	0	0	0	1	0	0	0	1	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	0	0	0	0	0	0	0	0	0	1	1
0	x	x	x	x	x	x	x	x	0	0	0	0	0

Задача №8

Разработать схему устройства, содержащего минимально возможное количество МИС и реализующего функции:

$$A = a \wedge \bar{l} \wedge \bar{g} \wedge m \wedge x,$$

$$G = \bar{a} \wedge \bar{l} \wedge m \wedge x,$$

$$L = \bar{a} \wedge l \wedge \bar{g} \wedge m \wedge x,$$

$$B = (\bar{m} \vee x) \wedge (a \vee l \vee g \vee w),$$

$$M = (a \vee l \vee g \vee w) \wedge \bar{A} \wedge \bar{G} \wedge \bar{L},$$

где a, l, g, m, x, w – входы, A, G, L, B, M – выходы.

Задача №9

Разработать схему кодера в модифицированном коде Хэмминга ($d_{\min}=4$) для октета (8-ми бит). На вход кодера поступает параллельный восьмиразрядный двоичный код: $U_1U_2U_3U_4U_5U_6U_7U_8$. Схема должна формировать значения контрольных разрядов согласно следующим выражениям:

$$q_1 = U_1 \oplus U_2 \oplus U_4 \oplus U_5 \oplus U_7;$$

$$q_2 = U_1 \oplus U_3 \oplus U_4 \oplus U_6 \oplus U_7;$$

$$q_3 = U_2 \oplus U_3 \oplus U_4 \oplus U_8;$$

$$q_4 = U_5 \oplus U_6 \oplus U_7 \oplus U_8;$$

$$P = q_1 \oplus q_2 \oplus q_3 \oplus q_4 \oplus U_1 \oplus U_2 \oplus U_3 \oplus U_4 \oplus U_5 \oplus U_6 \oplus U_7 \oplus U_8.$$

При формировании последнего выражения использовать выходы схем, формирующих q_1, q_2, q_3, q_4 .

Задача №10

Разработать схему, формирующую значения разрядов синдрома (указателя) ошибки, свертки принятого слова и признака ошибки, кратности большей единицы. На вход схемы поступает слово в параллельном модифицированном коде Хэмминга: $q_1q_2U_1q_3U_2U_3U_4q_4U_5U_6U_7U_8P$.

Значения разрядов синдрома формировать по выражениям:

$$b_1=q_1 \oplus U_1 \oplus U_2 \oplus U_4 \oplus U_5 \oplus U_7;$$

$$b_2=q_2 \oplus U_1 \oplus U_3 \oplus U_4 \oplus U_6 \oplus U_7;$$

$$b_3=q_3 \oplus U_2 \oplus U_3 \oplus U_4 \oplus U_8;$$

$$b_4=q_4 \oplus U_5 \oplus U_6 \oplus U_7 \oplus U_8.$$

Свертку принятого слова формировать по выражению:

$$S=P \oplus q_1 \oplus q_2 \oplus q_3 \oplus q_4 \oplus U_1 \oplus U_2 \oplus U_3 \oplus U_4 \oplus U_5 \oplus U_6 \oplus U_7 \oplus U_8.$$

Признак ошибки кратности большей единицы формировать согласно таблице (функция запрета использования принятого слова).

Значение синдрома В	Значение свертки принятого слова S	Значение функции запрета использования слова Z	Пояснение
0, т.е. $b_4=b_3=b_2=b_1=0$	0	0	Ошибки нет, принятое слово можно использовать
В, т.е. отличается от нуля	1	0	Слово принято с однократной ошибкой, ее можно исправить (в задании исправления не требуется), после исправления слово можно использовать
В	0	1	Двукратная ошибка или четная многократная ошибка. Данный код не позволяет ее исправить, слово использовать нельзя
0	1	0	Множественная нечетная ошибка, принятое слово использовать нельзя

Задача №11

Разработать схему одноразрядного сумматора с семантическим контролем, используя сигнал переноса C_i из данного разряда как один из входов для получения суммы в данном разряде. При синтезе использовать минимизацию не полностью определенных (недоопределенных) функций. Функционирование сумматора определяется таблицей N1 (Выход-перенос C_i в следующий более старший разряд, a_i , b_i – значения разрядов слагаемых, C_{i-1} – перенос из более младшего разряда) и таблицей N2 (Выходы - значение суммы в данном разряде S_i и значения функции обнаружения ошибки ER).

Входы			Выход
C_{i-1}	a_i	b_i	C_i
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Входы				Выходы	
C_{i-1}	a_i	b_i	C_i	S_i	ER
0	0	0	0	0	0
0	0	0	1	-	1
0	0	1	0	1	0
0	0	1	1	-	1
0	1	0	0	1	0
0	1	0	1	-	1
0	1	1	0	-	1
0	1	1	1	0	0
1	0	0	0	1	0
1	0	0	1	-	1
1	0	1	0	-	1
1	0	1	1	0	0
1	1	0	0	-	1
1	1	0	1	0	0
1	1	1	0	-	1
1	1	1	1	1	0

Задача №12

Разработать схему семиразрядного преобразователя прямого кода в дополнительный (восьмой разряд знаковый). Преобразования осуществлять по выражению:

$$a_{дон} = \begin{cases} a_{инп}, & \text{если } a_{зн} = 0, \\ a_{инп} \oplus (a_{i-1пр} \vee a_{i-2пр} \vee \dots \vee a_{0пр}), & \text{если } a_{зн} = 1. \end{cases}$$

На вход схемы преобразователя поступают прямые и инверсные значения разрядов кода.

Задача №13

Разработать схему пятиразрядного преобразователя двоичного кода с естественными весами в пятиразрядный код Грея. Преобразователь должен функционировать согласно таблице.

Входы					Выходы				
Двоичный код с естественными весами					Код Грея				
x_5	x_4	x_3	x_2	x_1	Y_5	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1
0	0	0	1	0	0	0	0	1	1
0	0	0	1	1	0	0	0	1	0
0	0	1	0	0	0	0	1	1	0
0	0	1	0	1	0	0	1	1	1
0	0	1	1	0	0	0	1	0	1
0	0	1	1	1	0	0	1	0	0
0	1	0	0	0	0	1	1	0	0
0	1	0	0	1	0	1	1	0	1
0	1	0	1	0	0	1	1	1	1
0	1	0	1	1	0	1	1	1	0
0	1	1	0	0	0	1	0	1	0
0	1	1	0	1	0	1	0	1	1
0	1	1	1	0	0	1	0	0	1
0	1	1	1	1	0	1	0	0	0
1	0	0	0	0	1	1	0	0	0
1	0	0	0	1	1	1	0	0	1
1	0	0	1	0	1	1	0	1	1
1	0	0	1	1	1	1	0	1	0
1	0	1	0	0	1	1	1	1	0
1	0	1	0	1	1	1	1	1	1
1	0	1	1	0	1	1	1	0	1
1	0	1	1	1	1	1	1	0	0
1	1	0	0	0	1	0	1	0	0
1	1	0	0	1	1	0	1	0	1
1	1	0	1	0	1	0	1	1	1
1	1	0	1	1	1	0	1	1	0
1	1	1	0	0	1	0	0	1	0
1	1	1	0	1	1	0	0	1	1
1	1	1	1	0	1	0	0	0	1
1	1	1	1	1	1	0	0	0	0

Задача №14

Разработать схему пятиразрядного преобразователя кода Грея в пятиразрядный двоичный код с естественными весами. Преобразователь должен функционировать согласно таблице.

Входы					Выходы				
Код Грея					Двоичный код с естественными весами				
x_5	x_4	x_3	x_2	x_1	Y_5	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1
0	0	0	1	1	0	0	0	1	0
0	0	0	1	0	0	0	0	1	1
0	0	1	1	0	0	0	1	0	0
0	0	1	1	1	0	0	1	0	1
0	0	1	0	1	0	0	1	1	0
0	0	1	0	0	0	0	1	1	1
0	1	1	0	0	0	1	0	0	0
0	1	1	0	1	0	1	0	0	1
0	1	1	1	1	0	1	0	1	0
0	1	1	1	0	0	1	0	1	1
0	1	0	1	0	0	1	1	0	0
0	1	0	1	1	0	1	1	0	1
0	1	0	0	1	0	1	1	1	0
0	1	0	0	0	0	1	1	1	1
1	1	0	0	0	1	0	0	0	0
1	1	0	0	1	1	0	0	0	1
1	1	0	1	1	1	0	0	1	0
1	1	0	1	0	1	0	0	1	1
1	1	1	1	1	1	0	1	0	0
1	1	1	1	0	1	0	1	0	1
1	1	1	0	1	1	0	1	1	0
1	1	1	0	0	1	0	1	1	1
1	0	1	0	0	1	1	0	0	0
1	0	1	0	1	1	1	0	0	1
1	0	1	1	1	1	1	0	1	0
1	0	1	1	0	1	1	0	1	1
1	0	0	1	0	1	1	1	0	0
1	0	0	1	1	1	1	1	0	1
1	0	0	0	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1

5. ПРОМЕЖУТОЧНЫЙ КОНТРОЛЬ

После завершения изучения дисциплины студенты сдают экзамен.

К экзамену допускаются только те студенты, у которых зачтено индивидуальное домашнее задание и лабораторные работы.

Образец экзаменационного билета для студентов, изучающих дисциплину по классической заочной форме, приведен в разделе 5.2.

5.1. Вопросы для подготовки к экзамену

1. Понятие интегральной схемы. Типы интегральных схем (ИС) по технологическому признаку. Составляющие стоимости ИС и пути ее уменьшения. Классификация ИС по степени интеграции.

2. Схемы И, ИЛИ на диодах, их работа. Оптоэлектронные ИС.

3. Базовый элемент транзисторно-транзисторной логики (ТТЛ: принципиальная схема, работа элемента). Понятие нагрузочной способности элемента ИС ТТЛ, как она определяется?

4. Базовый элемент ИС диодно-транзисторных схем на диодах и транзисторах Шотки (принципиальная схема 530/531, 533/555, отличия от классических ТТЛ). Почему в выходном каскаде ТТЛ ИС возникают броски тока и как с ними бороться?

5. Схемы базовых элементов серий 1531, 1533. Отличие серий 1531, 1533 от 531 и 533.

6. Логические элементы ИС ТТЛ с тремя состояниями выхода. Подключение неиспользуемых логических элементов и входов ИС ТТЛ?

7. Логические элементы ИС ТТЛ с открытым коллектором. Получение монтажного «И» на элементах с открытым коллектором. Схемы подключения индикации и формулы расчёта R_H .

8. Цифровые ИС на n -МОП структурах (принципиальная схема инвертора, работа; принципиальная схема базового элемента, его работа). Сформулировать отличия n -МОП от p -МОП структур.

9. Цифровые ИС на КМОП-структурах (принципиальная схема инвертора и его работа; принципиальная схема элемента ИЛИ-НЕ и его работа). Особенности применения ИС КМОП.

10. Достоинства и недостатки ИС КМОП. Согласование ИС ТТЛ-уровней с ИС КМОП, ИС КМОП с ИС ТТЛ-уровней.

11. Кроссбар-архитектуры.

12. Общие сведения об оптоэлектронных приборах, используемых в вычислительной технике. Обобщенная структурная схема оптрона. Оптопары (виды оптопар, некоторые параметры оптопар).

13. Изолирующие ИС на основе iCoupler.
14. Классификация триггеров. Асинхронный RS-триггер (схемы на элементах И-НЕ, ИЛИ-НЕ, таблицы функционирования и временные диаграммы, время задержки).
15. Синхронный (статический) одноступенчатый и двухступенчатый RS-триггеры (функциональная схема на элементах И-НЕ, ИЛИ-НЕ, работа, время задержки).
16. Синхронный (динамический) RS-триггер (функциональная схема на элементах И-НЕ, работа, время задержки). Построение D-, T-, JK-триггеров на основе синхронных (одноступенчатых, двухступенчатых, динамических) RS-триггеров.
17. Счётчики (классификация, двоичные счётчики прямого и обратного счёта, таблицы функционирования и временные диаграммы работы).
18. Счётчики (методы повышения быстродействия двоичных счётчиков, недвоичные счётчики: Джонсона, 1 из N – схемы, временные диаграммы работы, таблицы функционирования).
19. Синхронизация в цифровых устройствах (понятия синхронизации, тактирования, синхронизация статических, динамических ЦУ).
20. Регистры (классификация, схемы сдвигающих регистров: DSL, DSR, реверсивные).
21. Регистровые файлы (описание, ИС K555ИР26: функциональная схема, таблица функционирования).
22. Построение памяти требуемого объёма на стандартных ИС 1К-1 (схемы: ЗУ 1К-4, 4К-1, 4К-4).
23. Реализация мультиплексоров (назначение, таблица функционирования, мультиплексная формула, реализация мультиплексора 4-1 на элементах И-НЕ, наращивание числа входов мультиплексора: реализовать мультиплексор 32-1 на мультиплексорах 8-1 с тремя состояниями выхода и дешифраторе).
24. Применение мультиплексоров для построения функциональных узлов. Демультимплексоры (описание, УГО, таблица функционирования).
25. Схемотехническая реализация двоичных дешифраторов (описание функционирования, обозначение на функциональной схеме, схема дешифратора 3-8 на элементах И, наращивание размерности дешифратора: реализовать схему двоичного дешифратора 5-32 на дешифраторах 2-4, 3-8 ТТЛШ-серий).
26. Двоичные и приоритетные шифраторы (назначение двоичного шифратора, его условное обозначение на функциональной схеме; функция, выполняемая приоритетным шифратором, таблица функционирования восьмиразрядного приоритетного шифратора, выражения для вы-

ходов приоритетного шифратора, обозначение на функциональной схеме приоритетного шифратора).

27. Нарращивание размерности приоритетного шифратора. Указатели старшей единицы.

28. Компараторы (определение компаратора, выражения для компаратора: признак равенства разрядов, признак неравенства разрядов, признак равенства слов; принципиальная схема четырехразрядного компаратора на основе сумматора).

29. Нарращивание разрядности сравниваемых слов ИС компараторов (схемы последовательного соединения, параллельного, таблица истинности ИС К555СП1, схема компаратора для сравнения 24-х разрядных слов на ИС К555СП1).

30. Синтез схемы одноразрядного сумматора (таблица функционирования, СДНФ функций суммы и переноса, принципиальная схема одноразрядного сумматора на элементах И-НЕ, обозначение на функциональной схеме).

31. Сумматоры групповой структуры (групповой сумматор с цепным переносом, сумматор с условным переносом, сумматор с параллельным и межгрупповым переносом).

32. АЛУ и блоки ускоренного переноса.

33. Матричные умножители (математические выражения, схема множително-суммирующего блока для четырехразрядных сомножителей).

34. Преобразователи кодов.

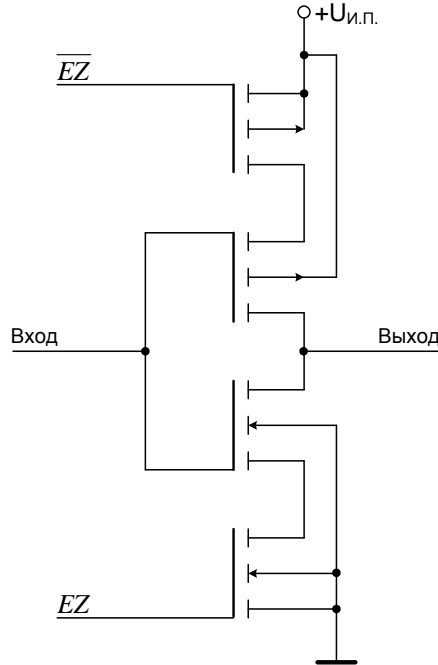
35. Организация контроля правильности функционирования устройств обработки данных.

5.2. Образец экзаменационного билета для студентов, изучающих дисциплину по классической заочной форме

В данном разделе приведен образец экзаменационного билета для студентов, сдающих экзамен в очной форме, во время сессии в Томске. Билет содержит три задачи, после подготовки решения задач, студент защищает решение экзаменатору и отвечает на вопросы. Если студент набирает на задачах 12 и более баллов, преподаватель из списка задаёт теоретический вопрос, на который студент должен ответить без предварительной подготовки.

Билет № X

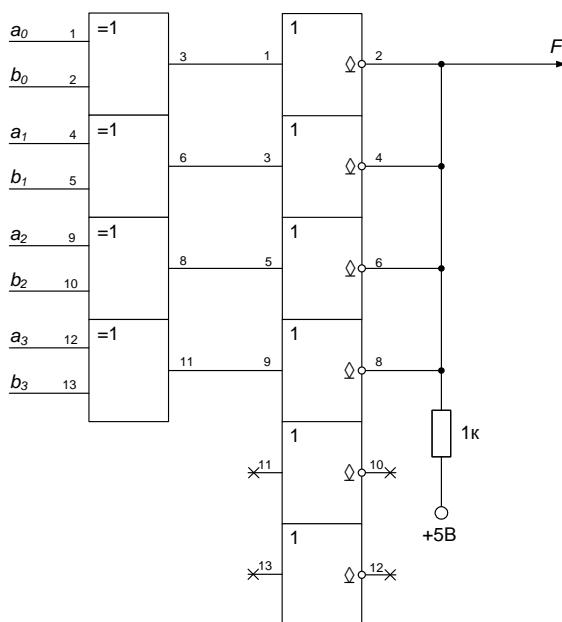
1. Какую функцию в положительной логике выполняет логический элемент, имеющий приведенную ниже схему? (5 баллов).



Заполните таблицу функционирования схемы:

Вход	EZ	\overline{EZ}	Выход
0	0	1	
1	0	1	
0	1	0	
1	1	0	

2. Определите функциональное назначение данной принципиальной схемы (10 баллов).



3. Разработать на АЛУ (см. УГО ниже) схему выполнения арифметико-логических операций над двумя 8-разрядными числами, поступающими последовательно по двум отдельным линиям (А и В) старшими разрядами вперёд. Тип выполняемой операции над числами задается кодом, поступающим старшими разрядами вперёд (одновременно с первыми 4-мя разрядами операндов) по третьей линии S. Числа и код операции сопровождается синхросигналом по четвёртой линии СИ (синхронизация низким уровнем импульса синхросигнала). После выполнения операции выдать сигнал («Готово», активный уровень сигнала – низкий) о наличии на выходах результата. При начале приёма следующих операндов, сигнал «Готово» перевести в пассивный уровень. Работоспособность разработанной схемы подтвердить временными диаграммами (15 баллов).

Для построения схемы использовать следующее АЛУ:

C_i	ALU	C_0
a_0		G
a_1		H
a_2		f_0
a_3		f_1
b_0		f_2
b_1		f_3
b_2		
b_3		
s_0		A=B
s_1		
s_2		
s_3		
M		

Устно, без предварительной подготовки:

4. Теоретический вопрос по выбору преподавателя из утверждённого списка (10 баллов).

6. УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

6.1. Литература обязательная

1. Осокин А.Н. Схемотехника ЭВМ: учебное пособие / А. Н. Осокин, А. Н. Мальчуков; Томский политехнический университет (ТПУ). – Томск: Изд-во ТПУ, 2013. – 166 с.

2. Угрюмов Е.П. Цифровая схемотехника.– 3-ое изд. – СПб.: БХВ – Петербург, 2010.– 816 с.

3. Миленина С.А. Электротехника, электроника и схемотехника: учебник и практикум для академического бакалавриата / С. А. Миленина; Московский государственный технический университет радиотехники, электроники и автоматики (МГТУ МИРЭА); под ред. Н.К. Миленина. – М.: Юрайт, 2014. – 511 с.

6.2. Литература дополнительная

4. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ: учебное пособие / Е. П. Угрюмов. – М.: Высшая школа, 1987. – 318 с.

5. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре / Е. А. Зельдин. – Л.: Энергоатомиздат, 1986. – 279 с.

6. Райхлин В.А. Основы цифровой схемотехники: учебное пособие для вузов / В. А. Райхлин. – Казань: Изд-во Казанского ГТУ, 2000. – 352 с.

7. Оптоэлектроника Ч. 2: Оптроника / О. Н. Ермаков [и др.]. – М.: Янус-К, 2011. – 612 с.

6.3. Интернет-ресурсы

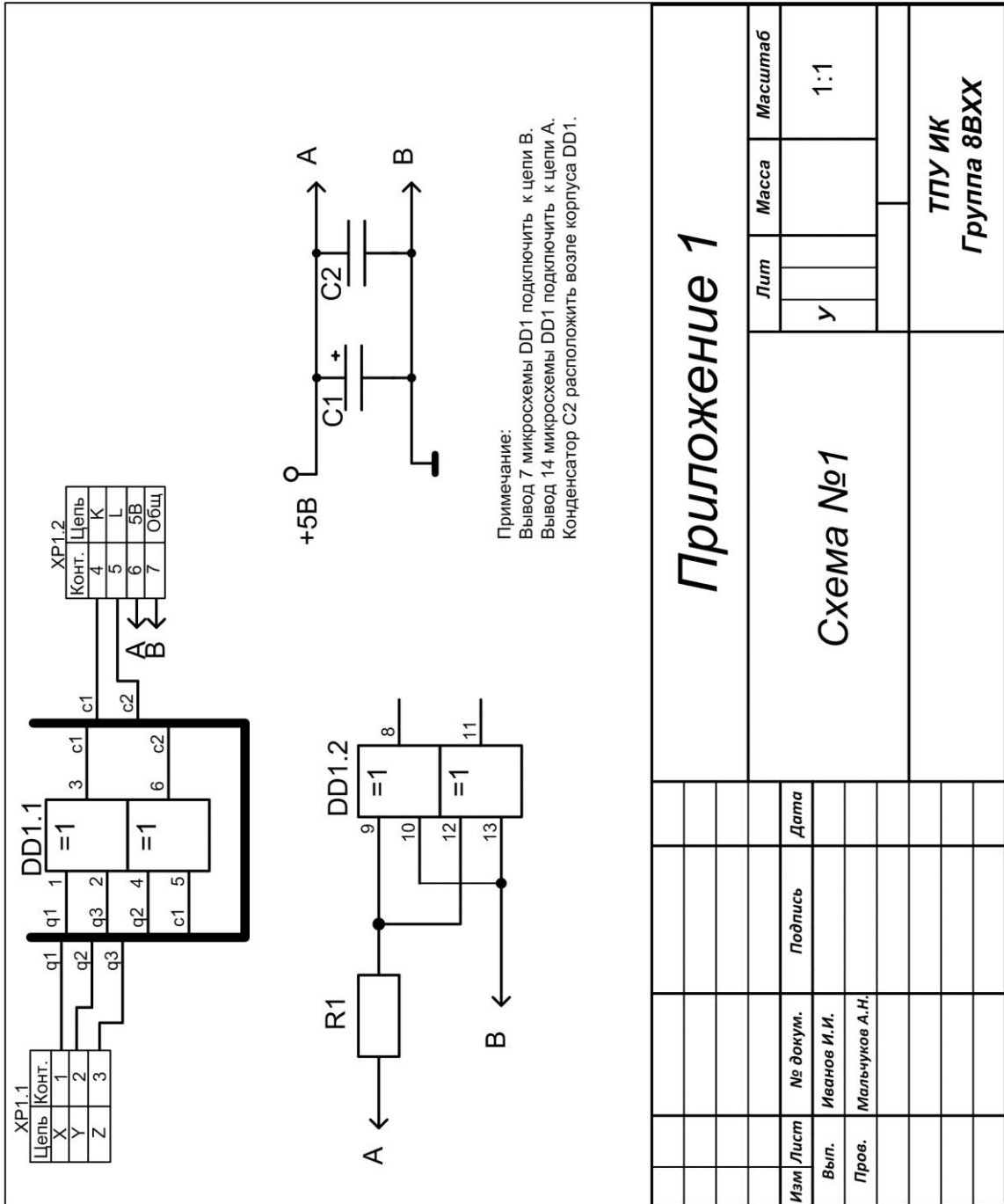
8. СТО ТПУ 2.5.01–2006. Система образовательных стандартов. Работы выпускные, квалификационные, проекты и работы курсовые. Структура и правила оформления / ТПУ [Электронный ресурс]. – Томск, 2006. – Режим доступа: <http://portal.tpu.ru/departments/head/methodic/standart>, вход свободный.

9. Осокин А.Н. Схемотехника ЭВМ: учебное пособие / А. Н. Осокин, А. Н. Мальчуков; Томский политехнический университет (ТПУ). [Электронный ресурс]. – Томск, 2015. – Режим доступа: <ftp://ftp.vt.tpu.ru/study/Malchukov/public/Schem/> (файл schem_цифры.pdf), вход свободный.

10. Схемотехника ЭВМ: методические указания к выполнению цикла лабораторных работ по курсу «Схемотехника ЭВМ» для студентов, обучающихся по направлению 230100 «Информатика и вычислительная техника» ИнЭО/ сост. А.Н. Мальчуков. Томск: Изд-во ТПУ, 2014.– 23 с. – Режим доступа: <http://metod.vt.tpu.ru/edu/df/schem/labs2.pdf>, вход свободный.

11. Лекции по курсу «Схемотехника ЭВМ» на кафедральном сервере. [Электронный ресурс]. – Томск, 2015. – Режим доступа: http://metod.vt.tpu.ru/edu/df/schem/Schem_14.zip, вход свободный.

ПРИЛОЖЕНИЕ



Примечание:
 Вывод 7 микросхемы DD1 подключить к цепи В.
 Вывод 14 микросхемы DD1 подключить к цепи А.
 Конденсатор С2 расположить возле корпуса DD1.

Приложение 1

Схема №1

		Лист	Масса	Масштаб
Изм/Лист	№ докум.	Подпись	Дата	
Вып.	Иванов И.И.			
Пров.	Мальчиков А.Н.			
ТПУ ИК				Группа 8ВХХ

<i>Обозначение</i>		<i>Наименование</i>			<i>кол</i>
		<i>Конденсаторы</i>			
C1		<i>K – 53 – 14 – 6,3В – 0,1мкФ</i>			1
C2		<i>KM – 5a – H90 – 0,01мкФ</i>			1
		<i>Микросхемы</i>			
DD1		<i>K155ЛП5</i>			1
		<i>Разъёмы</i>			
XP1		<i>РП-7</i>			1
		<i>Резисторы</i>			
R1		<i>МЛТ-0,125 800</i>			1
Приложение 2					
<i>Изм.</i>	<i>Лист</i>	<i>№ докум</i>	<i>Подп</i>	<i>Дата</i>	
<i>Разраб</i>		<i>Иванов И.И.</i>			
<i>Проверил</i>		<i>Мальчуков А.Н.</i>			
<i>Н.Контр</i>					
<i>Утв.</i>					
Перечень элементов к схеме №1					
					<i>Лит</i>
					<i>Лист</i>
					<i>Листов</i>
					<i>У</i>
					<i>ИК</i>
					<i>ТПУ</i>
					<i>Гр. 8ВХХ</i>

Учебное издание

СХЕМОТЕХНИКА ЭВМ

Часть 1

Методические указания и индивидуальные задания

Составитель

МАЛЬЧУКОВ Андрей Николаевич

Рецензент

*доктор технических наук,
профессор кафедры ВТ ИК*


В.Л. Ким

Компьютерная верстка *В.П. Зимин*



Национальный исследовательский
Томский политехнический университет
Система менеджмента качества
Издательства Томского политехнического университета сертифицирована
NATIONAL QUALITY ASSURANCE по стандарту BS EN ISO 9001:2008



ИЗДАТЕЛЬСТВО  **ТПУ. 634050, г. Томск, пр. Ленина, 30.**
Тел./факс: 8(3822)56-35-35, www.tpu.ru